

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
ПОЛІСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ

Гончаренко Ю.П.  
Денисюк А.Ю.  
Соколовський О.Ф.  
Полещук І.І.

**ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА**  
**НАВЧАЛЬНИЙ ПОСІБНИК**

**ЧАСТИНА 3**

**ЦИФРОВІ ПРИСТРОЇ**

Житомир  
2025

*Затверджено Вченою радою Поліського національного університету як навчальний посібник для здобувачів освітнього ступеня бакалавра галузей знань 14 «Електрична інженерія»*

*Гриф надано Вченою Радою Поліського національного університету(протокол №7 від 26.02.2025)*

УДК 621.317.08

Е-50

Рецензенти: Пількевич Ігор Анатолійович, д-р. техн. наук, професор, Житомирський військовий інститут  
Дубина Олександр Федорович, канд. техн. наук, доцент, Державний університет “Житомирська політехніка”  
Журавльов Валерій Пилипович, д-р фіз.- мат. наук, професор, Поліський національний університет

Автори: Гончаренко Юрій Павлович, канд. техн. наук, доц.  
Денисюк Анатолій Юрійович, канд. техн. наук, доц.  
Соколовський Олег Феліксович, канд. техн. наук, доц.  
та інші

Е-50

**Електроніка та мікросхемотехніка. Частина 3. Цифрові пристрої:** навч. посібник для студентів, галузі знань 14 «Електрична інженерія» / Ю. П. Гончаренко, А. Ю. Денисюк, О.Ф. Соколовський та ін. Житомир : Поліський нац. університет, 2025. 162 с

Навчальний посібник підготовлено відповідно до освітніх навчальних програм бакалаврів галузей знань 14 «Електрична інженерія» за спеціальністю 141 «Електроенергетика, електротехніка та електромеханіка», а також навчального курсу «Електроніка та мікросхемотехніка». Комбінаційних вузлів інтегральних запам'ятовувачів та програмуємих інтегральних схем, а також генератори імпульсів.

Для студентів, бакалаврів спеціальності 141 «Електроенергетика, електротехніка та електромеханіка», фахівців даної галузі.

© Ю. П. Гончаренко,  
© А.Ю. Денисюк,  
© О.Ф. Соколовський,  
© І.І. Полещук.

## ЗМІСТ

Список умовних скорочень.....	4
Основні позначення .....	5
Вступ.....	7
<b>Частина 3. Функціональні цифрові вузли комп'ютерної електроніки .....</b>	<b>9</b>
<b>Розділ 3.1. Математичний апарат комбінаційних вузлів .....</b>	<b>10</b>
3.1.1. Поняття про цифрові сигнали та пристрої.....	10
3.1.2. Логічні функції та елементи .....	15
3.1.3. Закони алгебри логіки .....	23
3.1.4. Мінімізація логічних функцій .....	29
<b>Розділ 3.2. Схемотехніка комбінаційних вузлів.....</b>	<b>33</b>
3.2.1. Основні електричні параметри цифрових мікросхем .....	34
3.2.2. Базові елементи ДТЛ- і ТТЛ(Ш)-технологій .....	37
3.2.3. Базові елементи мікросхем КМОН-технології .....	47
3.2.4. Спеціальні технології цифрових мікросхем .....	53
3.2.5. Функціональні комбінаційні вузли .....	57
<b>Розділ 3.3. Цифрові вузли послідовнісного типу .....</b>	<b>72</b>
3.3.1. Математичний апарат послідовнісних пристроїв .....	72
3.3.2. Асинхронні тригери.....	76
3.3.3. Синхронні тригери.....	81
3.3.4. Регістри .....	91
3.3.5. Застосування регістрів зсуву для формування бінарних послідовностей.....	98
3.3.6. Двійкові лічильники .....	102
3.3.7. Подільники частоти імпульсів .....	107
<b>Розділ 3.4. Інтегральні запам'ятовувачі та програмовані логічні інтегральні схеми .....</b>	<b>113</b>
3.4.1. Інтегральні запам'ятовувачі пристрої .....	113
3.4.2. Програмовані логічні інтегральні схеми .....	122
<b>Розділ 3.5. Генератори імпульсів тактування.....</b>	<b>130</b>
3.5.1. Вузли обмеження та порівняння аналогових сигналів .....	130
3.5.2. Генератори поодиноких імпульсів.....	137
3.5.3. Автоколивальні генератори імпульсів .....	143
<b>Список літератури .....</b>	<b>157</b>
<b>Предметний покажчик .....</b>	<b>158</b>

# СПИСОК УМОВНИХ СКОРОЧЕНЬ

## Частина 3

АЛВ	– арифметично-логічний пристрій
АЦП	– аналого-цифровий перетворювач
БЕТ	– багатомітерний транзистор
БКІТ	– багатоінжекційний транзистор
ВВЗ	– вузол вибірки та запам'ятовування сигналу
ГМЗ	– глобальна матриця з'єднань
ДДНФ	– досконала диз'юнктивна нормальна форма
ДКНФ	– досконала кон'юнктивна нормальна форма
ДТЛ	– діодно-транзисторна логіка
ЕЗЛ	– емітерно-зв'язана логіка
І <sup>2</sup> Л	– інтегральна інжекційна логіка
ІМС	– інтегральна мікросхема
КМОН	– комплементарна пара польових транзисторів
(К)ПДП	– прямий доступ до комірок пам'яті (контролер)
МВ	– мультівібратор
МПП	– мікропроцесорний пристрій
ЛЕ	– логічний елемент
ЛБ	– логічний блок
ЛМЗ	– локальна матриця з'єднань
ОЗП	– оперативний запам'ятовувальний пристрій
ОМК	– однокристальний мікроконтролер
ОП	– операційний підсилювач
ПЛІС	– програмовані логічні інтегральні схеми
ПЗП	– постійний запам'ятовувальний пристрій
ПДП	– прямий доступ до пам'яті
(Р)ПЗП	– (репрограмований) постійний запам'ятовувальний пристрій
СНД	– Співдружність Незалежних Держав
САПР	– система автоматизованого проектування
ТШ	– тригер Шмітта
ТТЛ	– транзисторно-транзисторна логіка
ТТЛШ	– транзисторно-транзисторна логіка з діодами Шоттки
ФАПЧ	– фазова автопідстройка частоти
ФБ	– функціональний блок
ФВ	– функціональний вузол
ЦАП	– цифро-аналоговий перетворювач
ЦОС	– цифрове оброблення сигналів
ШІМ	– широтно-імпульсна модуляція

# ОСНОВНІ ПОЗНАЧЕННЯ ФУНКЦІЙ ВУЗЛІВ ПРИСТРОЮ

## Частина 3

&	– елемент «І» (кон'юнктор)
$\geq 1$ ( <i>I</i> )	– елемент «Або» (диз'юнктор), операція – «v» чи «!»
T	– тригер одноступеневий
TT	– тригер двоступеневої структури
ODD ( <i>M2</i> )	– суматор «за модулем 2», операція – $\oplus$
XOR ( <i>=1</i> )	– елемент «Виключне Або» (нерівнозначність)
DC	– дешифратор
SM	– суматор двійковий
MPX ( <i>MUX</i> )	– мультиплексор
CTR ( <i>CT</i> )	– лічильник
DIVn	– подільник частоти імпульсів на <i>n</i>
COMP ( <i>= =</i> )	– компаратор
RG	– регістр паралельний
SRG ( <i>RG</i> →)	– регістр зсуву
GI	– генератор лінійної напруги
G1	– генератор поодиноких імпульсів (одновібратор)
GN	– генератор імпульсів автоколивальний
DRAM	– оперативний запам'ятовувач динамічного типу
NVRAM	– енергонезалежний оперативний запам'ятовувач
PC	– лічильник (показчик) адрес команд
ROM	– постійний запам'ятовувач
RPROM	– постійний запам'ятовувач із можливостями перепрограмування
SRAM	– оперативний запам'ятовувач статичного типу

## ПОЗНАЧЕННЯ СИГНАЛІВ І ВЛАСТИВОСТІ ВИВОДІВ

### Частина 3

$I^{(0)}$ ( <i>I</i> ), $U^{(0)}$ ( <i>I</i> )	– струм і напруга в стані «0» чи «1»
$U_{\text{пер}}$	– порогова напруга логічного елемента (перемикання)
$U_{\text{пн}}$ , $U_{\text{пв}}$	– порогові напруги вузла з гістерезисом
$X = \{x_k, x_{k-1}, \dots, x_1\}$ та інші	– упорядковані набори сигналів (коди)
<i>Adr</i> , <i>Data</i>	– коди адреси, коди даних
<i>ACK</i>	– сигнал підтвердження
<i>C</i>	– вхід тактування
<i>CE</i>	– вхід дозволу тактування
<i>CS</i>	– вхід вибору мікросхеми
<i>CI</i> ( <i>PI</i> )	– вхід перенесення
<i>CO</i> ( <i>PO</i> )	– вихід перенесення

<i>CTn</i>	– вихід сигналу про стан <i>n</i>
<i>D</i>	– вхід даних
<i>EN (E)</i>	– вхід дозволу дії
<i>EX</i>	– входи для розширення
<i>OE#(EZ)</i>	– вхід дозволу (заборони) видачі інформації
<i>Na/d</i>	– розрядність адреси/даних
<i>S</i>	– вхід встановлення тригера в «1»
<i>SE</i>	– входи для коду вибору сигналу
<i>R</i>	– вхід для скиду вузла в нуль
<i>T</i>	– вхід тригера, що змінює його стан на протилежний
<i>MEM...</i>	– звертання до комірок пам'яті
<i>... RD</i>	– зчитування інформації
<i>...WR</i>	– запис інформації
<i>TX, TDO, MOSI</i>	– інформаційні виходи послідовних інтерфейсів
<i>RX, TDI, MISO</i>	– інформаційні входи послідовних інтерфейсів
<i>SDA</i>	– двонаправлена лінія передачі послідовних даних
<i>CLK, SCL</i>	– лінії тактування
<i>AVCC, <math>\cap V_{cc}</math></i>	– напруга живлення аналогової частини пристрою
<i>VCC, <math>\#V_{cc}</math></i>	– напруга живлення цифрової частини пристрою
<i>AREF, <math>\cap U_{ref}</math></i>	– опорна напруга

## ВСТУП

Перші експерименти з електрикою люди провели в XVII ст. Перша дротяна лінія зв'язку довжиною 50 м випробувана іспанським дослідником Ф. Сальва в 1795 р. Однак історія розвитку електроніки зародилась фактично пізніше з винаходом радіо російським вченим О. С.Поповим 7 травня 1895 р. Уже в 1904 р. було створено першу двохелектродну електронну лампу (діод), а через три роки – трьохелектродну. У перше десятиліття радіо інтенсивно розвивалось, що викликало потребу створення більш досконалих електронних ламп із двома, трьома сітками. У тридцятих роках XX ст. зародились телебачення й радіолокація, що також викликало потребу розвитку електроніки. Перший напівпровідниковий прилад був запропонований у 1926 р. 1948 р. американськими вченими Бардінім та Браттейном створено перший напівпровідниковий транзистор. Із середини XX ст. бурхливо розвивається напівпровідникова техніка, витісняючи зі складу радіотехнічних пристроїв електровакуумні лампи. Цьому сприяли потреби інтенсивного розвитку електронно-обчислювальних машин. У 60-х рр. XX ст. з'явилися інтегральні мікросхеми, що дало можливість створювати електронні вузли з високою щільністю радіоелементів.

Вивчення дисципліни «Комп'ютерна електроніка» базується на знаннях основ вищої математики, фізики й теорії електричних та магнітних кіл. Навчальний посібник призначений для вивчення електроніки та мікросхемотехніки самостійно або під керівництвом викладачів. Проте слід пам'ятати відомий вислів знаменитого А. Ейнштейна, що «Нічому не можна навчити, можна лише навчатися». Навчальна дисципліна «Комп'ютерна електроніка» належить до групи професійно-орієнтованих дисциплін і забезпечує підготовку бакалаврів та інженерів за напрямом «Системна інженерія». Спрощено комп'ютеризована система складається з комп'ютера, ліній інформаційного зв'язку та радіо-електронних пристроїв (рис. В.1).

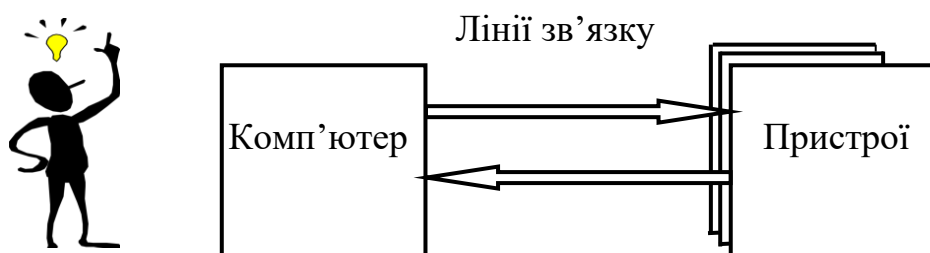


Рис. В.1. Комп'ютеризована система

При експлуатації такої системи роль людини зводиться до використання системи шляхом її контролю й управління за допомогою комп'ютера, що потребує знань та умінь роботи з його програмним забезпеченням; профілактичного обслуговування та ремонту технічних засобів системи, що потребує знання принципів їх дії та будови. Останнє є предметом вивчення дисципліни «Комп'ютерна електроніка».

Усі технічні засоби комп'ютеризованих систем створюються з радіокомпонентів. **Радіокомпонент або електрорадіокомпонент** – це виріб електронної промисловості, призначений для створення радіоелектронних пристроїв шляхом їх електричного

монтажу. Тобто, електрорадіокомпоненти є «будівельними напівфабрикатами» радіоелектронних пристроїв.

**Електроніка** – науково-технічна галузь дослідження законів взаємодії електронів та інших носіїв електричного заряду з електромагнітними полями та створення електронних приладів, у яких ця взаємодія використовується для передавання, оброблення та зберігання інформації. Інакше кажучи, електроніка – це галузь науки й техніки, що розробляє теорію і практику виробництва та використання електронних приладів – електронних ламп, електронно-променевих трубок, напівпровідникових компонентів та інше.

**Мікросхемотехніка** – це розділ електроніки, який присвячений розробці, виробництву та експлуатації мікросхем.

**Мікросхема** – це цілісний конструктивно та функціонально закінчений малогабаритний електронний пристрій із високою щільністю елементів, виготовлений за високоточними технологіями в єдиному технологічному циклі. Вона може містити сотні тисяч і більше радіокомпонентів.

Отже, навчальна дисципліна «Електроніка та мікросхемотехніка» передбачає вивчення принципів дії і побудови електронних приладів та простіших електронних пристроїв на їх базі.

Компоненти радіоелектронної апаратури (РЕА) можна поділити на два класи:

1. Пасивні елементи, які функціонують без додаткових джерел напруги живлення й не збільшують енергії вхідних електричних сигналів. До них належать резистори ( $R$ ), конденсатори ( $C$ ), котушки індуктивності ( $L$ ), діоди ( $VD$ ) та інші.

2. Активні радіокомпоненти – це компоненти, для функціонування яких потрібне зовнішнє джерело напруги живлення. Вони здатні підсилювати електричні сигнали. Активні елементи – це різноманітні електронні прилади, що відрізняються принципом дії, призначенням та конструкцією. До них належать: електровакуумні прилади, газорозрядні прилади, напівпровідникові прилади, інтегральні мікросхеми.



## ЧАСТИНА 3

### ФУНКЦІОНАЛЬНІ ЦИФРОВІ ВУЗЛИ КОМП'ЮТЕРНОЇ ЕЛЕКТРОНІКИ

Пристрої, що будуть розглядатися в даній частині посібника, названі **цифровими** завдяки тому, що в них використовуються сигнали з дискретними значеннями за типом цілих чисел. Такі значення відображають стан відповідних об'єктів, тобто містять інформацію дискретного характеру. Тому в цифрових пристроях подібні сигнали підлягають перетворенням, тотожним обробленню інформації, а не підсиленню або фільтрації, як це відбувається в аналогових. Така їх особливість, своєю чергою, накладає певні вимоги до побудови цифрових пристроїв та віддзеркалюється в математичному апараті, що в них застосовується.

Доречно зазначити, що основи математичного апарату цифрових пристроїв заклав англійський математик Дж. Буль ще в середині ХІХ ст., а впровадження почалося в першій половині ХХ ст., зокрема, американським ученим К. Шенноном.

Перші цифрові пристрої були реалізовані на основі релейних засобів, а згодом, з розвитком компонентної бази в напрямках розширення функціональних можливостей, підвищення швидкості дії та зменшення габаритів і енергоспоживання, реле було замінено ключовими вузлами на електронних лампах, потім на транзисторах і гібридних мікросхемах. У другій половині ХХ ст. були впроваджені напівпровідникові мікросхеми біполярної технології невеликого ступеня інтеграції, а згодом – технології на польових транзисторах, що дозволили досягти більш щільного компонування елементів на кристалі та меншого енергоспоживання. На даному етапі основою побудови цифрових пристроїв є технологія інтегральних компонентів на комплементарних польових транзисторах, якій притаманне мале енергоспоживання, висока надійність і завадостійкість, що сприяло значному поширенню мобільних електронних пристроїв.

Незалежно від технологічних особливостей виготовлення компонентів, загалом дії цифрових пристроїв ґрунтуються на певних операціях оброблення сигналів як інформаційних повідомлень. Ці операції мають риси логічного аналізу виконання певних умов закодованих у значеннях сигналів: лише поточних – у комбінаційних вузлах і поточних та збережених у додаткових елементах пам'яті – у вузлах послідовнісного типу. Крім зазначених типів цифрових вузлів у цифровій електроніці важливе місце посідають допоміжні, такі як генератори імпульсів тактування дії пристроїв.

Особливого значення в сучасних цифрових пристроях набувають вузли, основані на програмованих структурах, що здатні виконувати будь-які функції, закладені програмно до їх пам'яті.

Принципи дії зазначених груп функціональних вузлів цифрових пристроїв істотно різняться, що й обумовило відповідний порядок розгляду матеріалу в цьому посібнику.

У всіх випадках розгляду цифрових вузлів приділяється увага ознайомленню з типовою компонентною базою, що є основою їх структури, та прикладам маркування відповідних мікросхем за стандартами Співдружності незалежних держав (СНД).

У кожному розділі наведено контрольні питання й задачі, під час розв'язання яких як засоби контролю доцільно залучати системи електронного моделювання *ElektronicsWorkBench*, *Multi-Sim* та інші.

## Розділ 3.1. МАТЕМАТИЧНИЙ АПАРАТ КОМБІНАЦІЙНИХ ВУЗЛІВ

**Електронними** називають пристрої, дія яких ґрунтується на використанні електричних сигналів, що в пристрої певним чином перетворюються згідно з його призначенням. Носієм електричного сигналу є напруга, яка, змінюючись, своїми коливаннями переносить інформацію. Залежно від способу внесення інформації в електричні сигнали їх поділяють на цифрові та аналогові. Відповідно називають і пристрої, що їх використовують.

### 3.1.1. Поняття про цифрові сигнали та пристрої

#### 3.1.1.1. Бінарний цифровий сигнал

Аналоговий електричний сигнал принципово є безперервною функцією часу, оскільки переносить інформаційне повідомлення з безперервною множиною значень. Тому для аналогових пристроїв важлива кожна миттєва градація сигнальної напруги.

Цифрові пристрої, навпаки, оперують такими сигналами, що відповідна сигнальна напруга змінюється стрибками подібно до розривної функції часу. Це пов'язано з особливою формою повідомлень у таких пристроях – цифровою із квантованими значеннями та дискретним характером їх зміни в часі. При цьому елементарний цифровий сигнал  $x(t)$  має лише два альтернативних значення: *логічний нуль* «0» і *логічну одиницю* «1», тобто такий сигнал є бінарним.

Значення сигналу «0» або «1» передаються його джерелом у вигляді певного рівня напруги  $u_x(t)$ :  $U^0$  чи  $U^1$  відповідно, які називаються *логічними рівнями нуля та одиниці*. Значення «1» прийнято передавати вищим рівнем потенціалу (рис. 3.1.1), а «0» – нижчим, частіше нульовим. Загалом

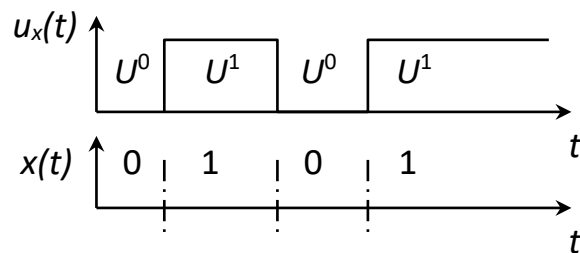


Рис. 3.1.1. Цифровий сигнал

сигнальна напруга може бути однополярною (частіше додатною) або двополярною.

Отже, поодинокий цифровий сигнал, що несе мінімальну частку інформації та має лише два значення, називається **бітом**. Проте, незважаючи на здавалося б обмежені можливості застосування таких сигналів, цифровим пристроям притаманні значні переваги над аналоговими:

- широкий спектр функціонального призначення та можливість зміни операцій;
- технологічна придатність у виробництві та повторюваність параметрів;
- відсутність необхідності налагоджувати вузли пристрою;
- принципова заводостійкість завдяки істотній різниці логічних рівнів «0» і «1»;
- доступність автоматизації аналізу дії пристроїв та діагностики.

Усе це обумовлює стрімке зростання обсягу використання цифрових пристроїв та, відповідно, бурхливий розвиток їх компонентної бази.

### 3.1.1.2. Класифікація вузлів цифрового пристрою

Електронний пристрій, зокрема цифровий, створюється для виконання певних задач. При цьому складну задачу поділяють на прості, які вирішуються за допомогою відповідних частин пристрою – так званих функціональних вузлів. Отже *функціональний вузол* пристрою – це сукупність елементів, електрично поєднаних між собою з метою виконання певної функції перетворення сигналів або їх створення. Загалом, цифровим пристроєм прийнято вважати з'єднання ряду функціональних вузлів (DEV на рис. 3.1.2), кожен з яких є приймачем вхідних сигналів  $x_i$  та джерелом вихідних  $y_k$ , які знову ж є вхідними для інших вузлів.

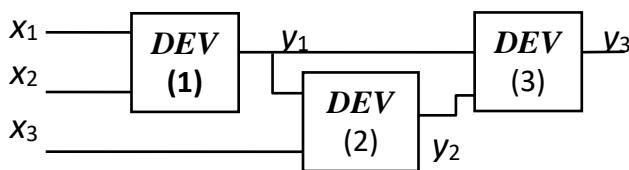


Рис. 3.1.2. Варіант структури пристрою

Функціональні вузли та пристрої загалом умовно позначаються прямокутником із входами ліворуч, виходами праворуч, що сприяє з'ясуванню напрямку проходження сигналів. У верхній частині цього прямокутника спеціальними знаками (\*\*\*) позначається функціональне призначення вузла. Допускається повертати позначення так, щоб входи були зверху, а виходи – знизу. Окрім того, можна повертати позначення на 180°, але тоді на сигнальних лініях потрібно стрілками вказувати напрямок проходження сигналів.

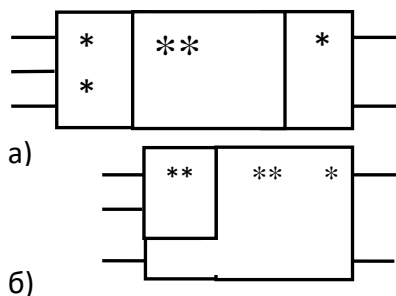


Рис.3.1.3. Структура позначень цифрового вузла

групи:

- комбінаційні вузли;
- послідовні вузли;
- допоміжні генератори імпульсів;

Якщо цифровий вузол має декілька входів  $x_i$  чи виходів  $y_k$ , що не тотожні, то особливості кожного з них відображаються спеціальними позначками у допоміжних полях («\*» на рис. 3.1.3). Останні можна відокремлювати від основного повністю або частково.

За особливостями дії різноманіття вузлів цифрових пристроїв можна поділити на основні

– вузли сполучення цифрових пристроїв з аналоговими.

Відмітність між комбінаційними та послідовнісними вузлами полягає у тривалості впливу на них вхідних сигналів, яка визначається наявністю чи відсутністю елементів пам'яті у їх складі.

*Комбінаційні вузли* – це такі, сигнали на виході яких залежать тільки від поточних значень вхідних та логіки дії вузла – не мають елементів пам'яті у своєму складі. Комбінаційні вузли часто виконують задачі:

- виявлення певної комбінації вхідних сигналів;
- комутації сигнальних ліній (мультиплексування);
- перетворення кодів чисел у різних системах числення;
- виконання арифметичних та інших операцій над кодами чисел;
- утворення сигналів керування знаковими індикаторами тощо.

*Послідовнісні вузли* відрізняються тим, що їх вихідні сигнали залежать не тільки від наявних вхідних, але й від того, які сигнали надходили та були на їх виходах попередньо. Завдяки цьому вирішуються також інші задачі:

- рахунок кількості змін сигналу;
- поділ частоти імпульсів на заданий коефіцієнт;
- запам'ятовування сигнальних комбінацій;
- утворення певних кодових послідовностей і так далі.

Важливо, що робота комбінаційного вузла проходить одномоментно, а результат отримується лише з певною затримкою, пов'язаною зі швидкістю поширення сигналів в елементах вузла. Робота послідовнісного вузла, навпаки, розгортається в часі й пов'язана з тактуванням, тобто повинні бути певні супроводжувальні сигнали, що вказують на моменти зміни стану вузла. Тому для забезпечення дії послідовнісних цифрових пристроїв потрібні додаткові вузли, що формують імпульсні сигнали із заданими часовими параметрами.

Більшість цифрових пристроїв містить певну кількість як комбінаційних, так і послідовнісних вузлів, а також хоча б один генератор імпульсів для забезпечення підрахунку часу – тактування їх дій.

Доречно зауважити, що на сучасному етапі розвитку техніки цифрові пристрої використовуються для оброблення та створення не тільки цифрових, а й аналогових сигналів. Це потребує застосування ще й четвертої групи вузлів для перетворення аналогових сигналів у цифрові та навпаки.

### 3.1.1.3. Двійкові коди та форми їх запису

У випадках, коли цифровий сигнал має багато значень, його відтворення досягається використанням одночасно декількох ( $k$ ) бітів, що розглядаються сумісно, як *код значення сигналу*  $X$ :

$$X = \{x_k, x_{k-1}, \dots, x_2, x_1\}.$$

Загалом подібна сукупність бітів може різними способами пов'язуватися зі значеннями сигналу. Для випадку значень  $m_x$ , тотожних цілим числам без знака, найбільшекономним є *двійковий код*. При цьому його складові  $x_i$  називаються *розрядами коду* та розглядаються в позиційній системі числення з вагою за

двійковим законом:  $2^{k-1}, 2^{k-2}, \dots, 8, 4, 2, 1$ . Відповідно, значення  $m_x$  коду  $X$  розраховується так:

$$m_x = x_1 1 + x_2 2 + x_3 4 + \dots + x_k 2^{k-1} = \sum_{i=1}^k x_i 2^{i-1}. \quad (3.1.1)$$

Щоб забезпечити наочність стосовно значення переданого числа, біти двійкового коду в умовних зображеннях вузлів вказуються великими літерами латинської абетки з індексами, що є або вагою відповідного розряду, або степенями двійки при розрахунку ваги. При цьому застосовуються літери: для даних –  $D$ , для операндів –  $P, A, B$ , для результату  $Q$ . Наприклад:  $P_{k-1}, \dots, P_1, P_0$ . Якщо кількість розрядів є незначною (до  $k=4$ ), як індекси краще використовувати

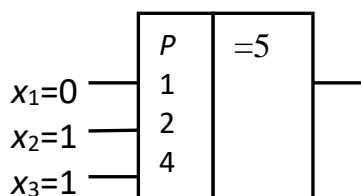


Рис.3.1.4. Перевірка коду на значення  $m=5$

безпосередньо десяткові значення ваги розрядів, наприклад:  $P_8, P_4, P_2, P_1$ . Крім того, спільне позначення таких розрядів можна вказувати один раз окремо (рис. 3.1.4). Щоб уникнути плутанини, надалі для рахунку сигнальних ліній чи розрядів коду використано їх звичайну нумерацію – від одиниці, а коли йдеться про біти – від нуля.

Наприклад, трирозрядний двійковий код числа  $X$  складається з розрядів: першого  $x_1$ , другого  $x_2$  та третього  $x_3$ , які представляють його нульовий, перший і другий біти. Відповідно, ці сигнали можуть надходити на входи вузла, позначені як  $P_1, P_2, P_4$  або  $P_0, P_1, P_2$ . Якщо розрядність коду до  $k=4$ , буде застосовуватися перший варіант позначень, а якщо більша – другий. Наприклад, на входи вузла, наведеного на рис. 3.1.4, надходить код  $X = \{1, 1, 0\}$ , або скорочено  $110_2$  – індекс «2» вказує, що розглядається двійковий код. Його значення в десятковому еквіваленті становить:  $m_x = 1 \cdot 4 + 1 \cdot 2 + 0 \cdot 1 = 6$  – визначається як сума ваги розрядів, вказаної в додатковому поліпозначення вузла навпроти входів із значеннями «1».

Якщо потрібно визначити двійковий еквівалент  $X$  цілого десяткового числа  $m$ , то відповідно до (3.1.1) можна скористатися способом послідовного

Таблиця 3.1.1

Число	Залишок ділення
13	1
6	0
3	1
1	1

цілочисельного ділення числа на основу, тобто на 2, з визначенням залишків. Ці залишки від останнього до першого є розрядами двійкового коду числа від старшого до молодшого. У табл. 3.1.1 показано утворення коду числа 13.

**Шістнадцяткова форма запису коду.** Можна помітити, що числа, представлені двійковим кодом, у запису доволі громіздкі. З іншого боку, десятковий еквівалент більше як з двох цифр складно уявити двійковим кодом без розрахунків. Тому для випадків

частого використання двійкових кодів застосовують інші форми запису чисел – переважно шістнадцяткову. При цьому двійковий код поділяється на четвірки розрядів, починаючи з молодших, і кожна з них замінюється одним знаком.

Оскільки чотирирозрядний двійковий код може мати значення від 0 до 15, то для значень 0...9 використовуються цифри, а для 10...15 – літери: *A, B, C, D, E* і *F* відповідно, що ілюструє табл. 3.1.2. Четвірки розрядів двійкового коду заведено називати «тетрада».

Щоб розпізнавати записи двійкового коду в різних формах, застосовуються певні позначки. Так, для коду, поданого значеннями бітів, частіше наприкінці використовується позначка «*b*», а в деяких мовах програмування – «*0b*» на початку. Щоб відрізнити запискодув шістнадцяткової формі, частіше прийнято в кінці коду ставити додаткову позначку «*h*». Однак у мові програмування *Pascal* шістнадцятковому позначенню числа передують знак \$, а в деяких мовах типу *Assembler* – «*0x*». Зокрема, позначення двійкового коду числа 37 можуть бути такими: *100101b; 0b00100101; 25h; \$25; 0x25*.

Менш уживаною є вісімкова форма подання двійкових кодів, у яких трійки бітів замінюються цифрами 0...7, що доповнюються позначкою «*0*».

**Двійково-десятковий код.** У цифрових пристроях використовуються не тільки двійкові коди, а й такі, у яких значення їх бітів може мати не тільки різну вагу, а також різний зміст – тоді їх не можна позначати з нумерацією за степенями двійки.

Так, часто замість двійкового доводиться застосовувати *двійково-десятковий код*. Він відрізняється тим, що в ньому кожна четвірка розрядів, починаючи з молодших, представляє значення однієї десяткової цифри, а тому має допустимий діапазон лише в межах від 0 до 9. У такій формі коди чисел можуть надходити від органів керування, а також використовуються для керування цифровими індикаторами. Відповідно, вага розрядів такого коду становить, наприклад, такий ряд: 200, 100, 80, 40, 20, 10, 8, 4, 2, 1. Для позначення двійково-десяткових кодів буде використовуватися індекс 2/10.

*Приклад:*  $37 = 11 \cdot 0111_{2/10} = 10\ 0101_2$ .

Іноді використовуються специфічні коди чисел, сусідні значення яких відрізняються лише одним бітом. Серед них найбільш відомі й поширені коди Джонсона і Грея.

**Код Джонсона.** Збільшення його значень від нуля відбувається послідовною заміною бітів з 0 на 1, а після заповнення всіх бітів – навпаки. Зокрема, чотирирозрядний код Джонсона змінюється так: 0000 (0), 1000 (1), 1100 (2),

Таблиця 3.1.2

Двійкове	Десяткове	Шістнадцяткове
0 0 0 0	0	0
0 0 0 1	1	1
0 0 1 0	2	2
0 0 1 1	3	3
0 1 0 0	4	4
0 1 0 1	5	5
0 1 1 0	6	6
0 1 1 1	7	7
1 0 0 0	8	8
1 0 0 1	9	9
1 0 1 0	10	<i>A</i>
1 0 1 1	11	<i>B</i>
1 1 0 0	12	<i>C</i>
1 1 0 1	13	<i>D</i>
1 1 1 0	14	<i>E</i>
1 1 1 1	15	<i>F</i>

1110 (3), 1111 (4), 0111 (5), 0011 (6), 0001 (7). Цей код маловживаний, оскільки неефективно використовує розряди, адже у двійковому кодирозрядності  $k$  можливо  $2^k$  комбінацій, а вкодї Джонсона – лише  $2k$ . Він застосовується в деяких видах лічильників та в розподільниках імпульсів (див. п. 3.3.5).

**Код Грея**, на відміну від попереднього, містить усі можливі комбінації розрядів, але на відміну від двійкового коду вони чергуються таким чином, що сусідні значення відрізняються лише одним бітом. Наприклад, для трирозрядного коду Грея значення (0...7) утворюють такий ряд комбінацій бітів: 000, 001, 011, 010, 110, 111, 101, 100. Основне застосування коду Грея – відображення стану механічних датчиків переміщення, у яких існує неточне розташування розрядних елементів, що на границі зміни коду може призводити до похибки. У кодї Грея ця похибка не більша за одиницю. Зрозуміло, що для кодів Греяї Джонсона поняття ваги розрядів не існує, а їх можна лише нумерувати.

Очевидно, що кожен вид коду може бути описаний і в шістнадцятковій формї, однак, їх не можна інтерпретувати як значення відповідного двійкового коду.

Отже, цифрові пристрої оперують специфічними сигналами, які є бінарними, а їх сукупності можуть відображати значення чисел у різних формах, зокрема, як двійкового коду. Для запису багаторозрядних кодів найбільш доречною для використання є шістнадцяткова форма їх подання.

### **3.1.2. Логічні функції та елементи**

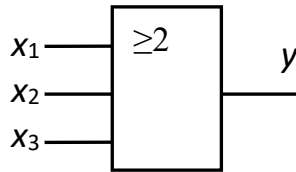
#### **3.1.2.1. Види опису комбінаційних вузлів**

Розгляд будови цифрових пристроїв доцільно розпочати з комбінаційних вузлів, насамперед базових, з яких складаються всі інші. За визначенням, такі вузли виконують перетворення комбінації сигналів  $X_i$  на входи у значення вихідних  $Y_k$ . Тому дія комбінаційного вузла полягає в здійсненні аналізу виконання певних умов щодо значень вхідних сигналів і для кожного виходу є незалежною від інших. Опис дії комбінаційного вузла можливий у декількох видах:

- словами (не завжди наочно й непродуктивно);
- таблицею логіки (істинності) вузла;
- алгебраїчними виразами – логічними функціями;
- електричною схемою із застосуванням стандартних позначень певних типових елементів чи типових вузлів.

Уходї створення схеми комбінаційного вузла послїдовно виконуються всі названі види його опису. Серед них табличний опис за певною методикою дозволяє отримувати математичний опис, а останній – уже електричну схему вузла. Під час аналізу побудови пристрою вказані описи застосовуються у зворотному порядку.

**Таблиця логіки вузла** містить перелік усіх або лише істотних комбінацій вхідних сигналів та відповідних їм значень кожного вихідного сигналу. Вхідні сигнали в таблиці доцільно розташовувати подібно до розрядів двійкового коду, що сприяє її наочності. Для прикладу на рис. 3.1.5



$X_3$	$X_2$	$X_1$	$y$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Рис. 3.1.5. Вузол аналізу коду й логіка його дії

показано вузол, що визначає, чи кількість «1» на входах не менша двох.

Якщо в таблиці логіки вказані не всі комбінації вхідних сигналів вузла, то його дія (логічна функція) задана неповно, і для інших комбінацій вихідні значення («0» чи «1») можна призначити довільно.

Таблиця логіки комбінаційного вузла ще не вказує його побудову. У цьому відношенні продуктивним є математичний опис його дії *логічними виразами*.

*Логічний вираз* – це запис позначень вхідних сигналів, з'єднаних знаками застосованих логічних операцій. Описана логічним виразом залежність значення вихідного сигналу вузла від вхідних  $y = f(x_1, x_2, \dots, x_n)$  називається *логічною функцією* відповідного виходу.

Дія комбінаційного вузла складається з певних *логічних операцій* над вхідними сигналами. *Логічна операція* – це перевірка виконання заданої умови щодо значень задіяних операндів, тобто одна з багатьох можливих комбінаційних перетворень відповідних сигналів.

### 3.1.2.2. Основні логічні операції та елементи

Кожна логічна операція виконується відповідним комбінаційним вузлом – так званим *логічним елементом*, тому математичний опис логіки дії вузла цифрового пристрою дозволяє будувати його структуру як відповідне з'єднання логічних елементів. Вибір логічних операцій для опису дії вузла пов'язаний із вибором елементів для його побудови й повинен забезпечити: по-перше, можливість опису довільних логічних функцій; по-друге, в середньому мінімальну кількість виконуваних операцій, що впливає на складність пристрою та швидкість його дії.

Англійський математик Дж. Буль увів три логічні операції: *кон'юнкцію*, *диз'юнкцію* та *інверсію*, що утворюють повну систему, тобто базу, достатню для опису дії довільних цифрових пристроїв.

**Кон'юнкція (логічна операція «І»)** полягає у перевірці умови, чи всі задіяні операнди (сигнали) одночасно мають значення «1» – тільки в такому випадку результат кон'юнкції буде «1», інакше «0». У логічному виразі ця операція позначається знаками « $\wedge$ », « $\&$ » або точкою – як добуток, яку можна і не писати.

*Приклад:*  $y = x_1 \& x_4 \& x_6$  або  $y = x_1 x_4 x_6$ .



Для компактності виразів слід використовувати останній варіант позначення.

Цифровий вузол, що виконує операцію «І», називається *кон'юнктором*, або *елементом «І»*. В умовному графічному позначенні він має ознаку функції «&» і може мати не менше двох входів (рис. 3.1.6). Вихід елемента дає «1» лише в одній ситуації, коли всі вхідні сигнали одночасно є «1».

**Диз'юнкція (логічна операція «Або»)** полягає в перевірці умови, чи хоч один задіяний операнд (сигнал) має значення «1» – у такому випадку результат диз'юнкції буде «1», інакше «0». У логічному виразі ця операція позначається знаками « $\vee$ » чи «!», наприклад:  $y = x_2 \vee x_5 \vee x_6$ .

Цифровий вузол, що виконує подібну операцію, називають *диз'юнктором*, або *елементом «Або»*. Його позначають з ознакою функції «хоч одна одиниця» як « $\geq 1$ », хоча допускається просто «1». Цей елемент теж може мати не менше двох входів (рис. 3.1.7). Значення «1» на виході формується, коли хоч на одному вході є «1» – тобто за винятком ситуації, коли вхідні сигнали одночасно є «0».

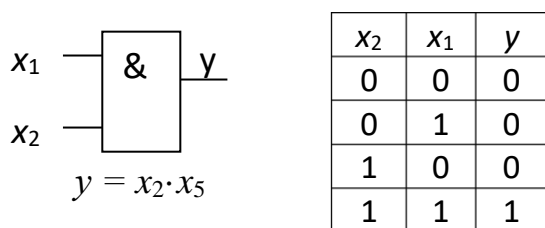


Рис. 3.1.6. Логічний елемент «І»

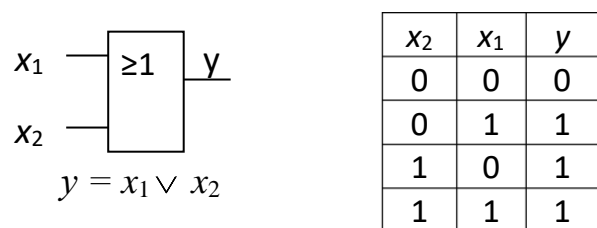


Рис. 3.1.7. Логічний елемент «Або»

**Інверсія (операція інвертування «Не»)** забезпечує зміну значення відповідного сигналу на протилежне. У логічному виразі ця операція позначається рискою над змінною або над певною частиною логічного виразу – результатом попередніх операцій. Через незручності оформлення текстових документів з рисками над символами операція інвертування може також позначатися рискою нахилу праворуч перед змінною, тобто як  $y = \bar{x}$ ,  $y = \bar{x}$ , або  $y = /x$ ,  $/y = x$ .

Логічний елемент «Не» – *інвертор* в умовному зображенні має ознаку «1», а на виході присутній кружок – ознака зміни значення сигналу на протилежне (рис. 3.1.8).

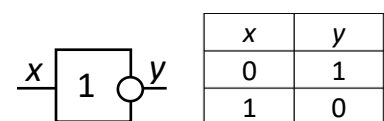


Рис. 3.1.8. Інвертор

У цілому розглянуті логічні елементи дозволяють створювати пристрої з довільною логікою дії. Однак використання для побудови цифрових вузлів лише основних логічних елементів «І», «Або» та «Не» у більшості випадків призводить до громіздких схем. З метою їх спрощення доцільно розширити набір операцій та логічних елементів. Зокрема, практика показала доцільність використання таких додаткових логічних елементів, які суміщають функції кон'юнктора та інвертора, а також диз'юнктора та інвертора. Як буде показано далі, такі додаткові логічні елементи мають навіть ширші функціональні можливості, ніж основні.

**Елемент «І-Не»** виконує операцію виду  $y = \overline{x_1 x_2 \dots}$ , тобто формує результат, протилежний кон'юнктору. В умовному зображенні такий елемент містить ознаку інвертування вихідного сигналу (рис. 3.1.9). Словами його логіку дії можна описати так: «0» на виході формується тоді, коли на всіх входах одночасно «1». Подібна операція отримала назву «стрілка Пірса», а логічний елемент – «елемент Пірса».

**Елемент «Або-Не»** виконує операцію виду  $y = \overline{x_1 \vee x_2 \vee \dots}$ , тобто дає результат, протилежний диз'юнктору. В умовному зображенні такий елемент теж містить ознаку інвертування вихідного сигналу (рис. 3.1.10). Його логіку дії словами можна описати так: «0» формується на виході тоді, коли хоч на одному вході є «1». Цю операцію ще називають «операція Шеффера», а логічний елемент – «елемент Шеффера».

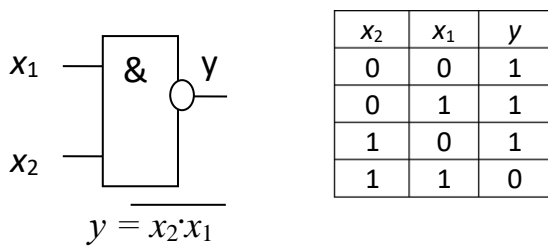


Рис.3.1.9. Логічний елемент «І-Не»

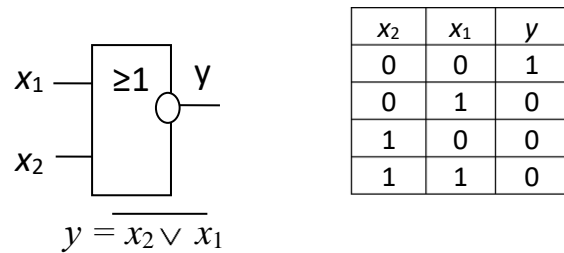


Рис. 3.1.10. Логічний елемент «Або-Не»

Слід зазначити, що додаткові елементи «І-Не» та «Або-Не», фактично, не розширюють базису операцій для опису логічних виразів, а, навіть навпаки, дозволяють його обмежити.

**Операція «виключне Або» та елемент нерівнозначності.** Істотно змінює опис дії та побудову цифрових вузлів операція, що для двох змінних отримала назву «нерівнозначність», або «виключне Або». Вона полягає у перевірці умови, чи відмітні значення двох операндів – тоді формується «1». Тому відповідний вузол називається «елемент нерівнозначності», а позначається як «=1» або «EXOR» (рис. 3.1.11).

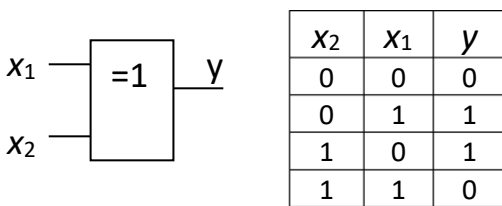


Рис. 3.1.11. Елемент

позначається знаком  $\oplus$ , причому:

$$x \oplus 0 = x, \quad x \oplus 1 = \overline{x}. \quad (3.1.2)$$

*Примітка.* У зарубіжжі логічні елементи позначаються, як на рис. 3.1.12.

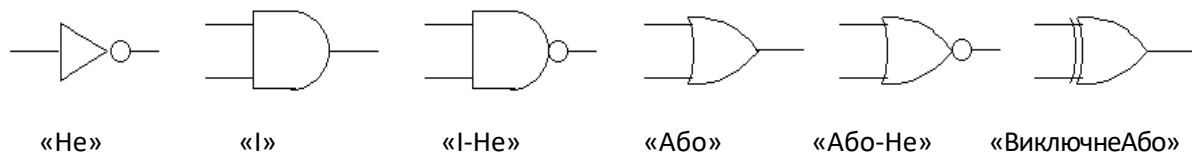


Рис.3.1.12. Зарубіжні позначення логічних елементів

Отже, елемент нерівнозначності інвертує сигнал одного входу в разі наявності «1» на іншому – виступає як керований інвертор.

### 3.1.2.3. Зв'язок схеми та логічної функції вузла

Логічні вирази для опису дії вузлів цифрового пристрою частіше складають, спираючись на основні логічні операції, а самі вузли будують, з'єднуючи відповідні логічні елементи. При цьому потрібно враховувати *порядок виконання операцій*: спочатку інверсії поодиноких змінних, далі кон'юнкції, потім «виключне Або» і останніми – диз'юнкції. Щоб змінити порядок застосування операцій, використовують дужки – спочатку операції у відповідних дужках.

Вважається, що, коли є опис дії комбінаційного вузла у вигляді логічної функції стосовно певного виходу  $y$ , то, фактично, задано схему його побудови на відповідних логічних елементах. Для її відтворення доцільно використовувати *правило розгортання схеми від виходу до входів*:

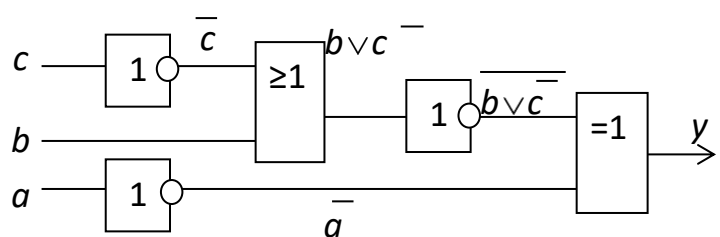
- 1) визначити останню логічну операцію, кількість задіяних у ній операндів та позначити відповідний логічний елемент;
- 2) на кожному із входів цього логічного елемента написати логічні вирази – описи операндів;
- 3) з кожним таким описом виконувати аналогічні дії (п. 3.1.2.2) до тих пір, поки операндами будуть входні сигнали пристрою.

*Приклад.* Нехай логічна функція вузла:

$$y = \bar{a} \oplus (\bar{b} \vee \bar{c}). \quad (3.1.3)$$

Внаслідок застосування згаданого правила побудови вузла його схема отримує вигляд, як показано на рис. 3.1.13.

За схемою цифрового вузла можна скласти логічний опис: послідовно записувати логічні вирази для сигналів на виходах усіх елементів, досягаючи виходів вузла в цілому.



### 3.1.2.4. Канонічні форми логічних функцій

Таблиця логіки дії комбінаційного вузла дозволяє отримати опис логічних функцій його виходів із застосуванням термів.

**Терм** – це об'єднання вхідних змінних або їх інверсій тільки однією з операцій: «І» чи «Або». Відповідно, розрізняють терми кон'юнктивні та диз'юнктивні. Крім того, терми бувають повні (містять усі вхідні змінні) та неповні. Повний кон'юнктивний терм ще називають «мінтерм», а диз'юнктивний – «макстерм».

*Приклади термів* для вузла з трьома входами:

$K = x_3 x_2 x_1$  – повний кон'юнктивний терм;

$D = x_1 \vee x_3$  – неповний диз'юнктивний терм.

Оскільки в термі можуть використовуватися операнди з інвертуванням і без нього, то повних термів для вузла з  $k$  входами можна скласти  $2^k$ , тобто скільки значень має двійковий код розрядності  $k$ . Тому повні терми можна описувати значеннями двійкового коду, яким вони відповідають.

Повний кон'юнктивний терм має *властивість* – дає результат «1» лише при одній комбінації операндів. Зокрема, терм  $x_3 x_2 x_1$  дає значення «1», тільки якщо  $x_3 = 1, x_2 = x_1 = 0$ . Якщо розглядати комбінацію вхідних сигналів  $\{x_k, x_{k-1}, \dots, x_1\}$  як двійковий код  $X_m$  числа  $m$ , то згаданий терм відповідає числу 4 – позначено  $K_4$ . Інакше кажучи, кожній  $m$ -й комбінації вхідних сигналів, що розглядаються як розряди двійкового коду  $X_m$ , відповідає кон'юнктивний терм  $K_m$ . У ньому без інверсії використовуються операнди, що як і розряди коду мають значення «1», та з інверсією – якщо «0».

Отже, якщо в ході запису кон'юнктивного терму якийсь із сигналів у відповідній комбінації повинен бути 0, то в термі позначення змінної, що йому відповідає, використовується з інвертуванням, інакше – без інвертування. Тоді тільки за такої комбінації значень сигналів кон'юнктивний терм дасть 1, а в інших – 0.

**Опис логічної функції у досконалому диз'юнктивній нормальній формі (ДДФ).** Слід зауважити, що задача комбінаційного вузла з  $k$  входами зводиться до того, щоб при заданих комбінаціях вхідних сигналів  $X_m$ , ( $m = i, m = j, \dots, m = p$ ) утворювати на відповідному виході «1», а в інших комбінаціях – «0». Оскільки потрібні комбінації сигналів можна виявити за допомогою відповідних кон'юнктивних термів  $K_i, K_j, \dots, K_p$ , то для утворення логічного виразу функції комбінаційного вузла вказані терми достатньо об'єднати операцією «Або»:

$$y(\tilde{O}) = \hat{E}_i \vee \hat{E}_j \dots \vee \hat{E}_p.$$

У загальному випадку відома залежність вихідного сигналу вузла  $y(X)$  від комбінацій вхідних сигналів  $X = \{x_k, x_{k-1}, \dots, x_1\}$  дозволяє записати вираз логічної функції

$$y(X) = \bigcup_{m=0}^{2^k-1} y(X_m) \cdot \hat{E}_m(X), \text{ причому } \hat{E}_m(X) = \bigcap_{i=1}^k (x_i \oplus \bar{b}_{m_i}), \quad (3.1.4)$$

де  $\cup$  та  $\cap$  (&) – упорядковані диз'юнкції та кон'юнкції відповідно;  $y(X_m)$  – значення функції при комбінації сигналів  $X_m$ ;  $b_{m_i}$  –  $i$ -й розряд двійкової комбінації  $X_m$ .

Додаткова операція нерівнозначності в (3.1.4) застосована лише для опису термів  $K_m(X)$  – для визначення того, як входить до нього кожен операнд  $x_i$  – з інверсією чи ні. Так, якщо  $i$ -й розряд кодової комбінації  $b_{m_i}=1$ , то  $x_i \oplus 0 = x_i$ , тобто операнд використовується без інвертування. Якщо ж розряд  $b_{m_i}=0$ , то  $x_i \oplus 1 = \overline{x_i}$  – операнд використовується з інверсією.

Вид опису логічної функції (3.1.4) називається *досконалою диз'юнктивною нормальною формою*. Термін «нормальна» означає, що стосовно операндів використано лише основні логічні операції «І», «Або», «Не», причому кожна – в один етап, а інверсії стосуються лише простих змінних. Термін «досконала» форма свідчить про використання лише повних термів.

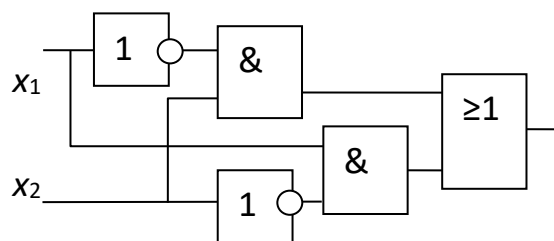
**Методика складання логічної функції у ДДНФ** за таблицею логіки вузла, що підлягає проектуванню, є такою:

- 1) виділяють рядки таблиці, де вихідний сигнал повинен мати значення «1»;
- 2) для кожного такого рядка складають відповідний кон'юнктивний терм, об'єднавши операцією «І» змінні без інверсії, якщо їх значення в цьому рядку «1», та з інверсією – коли «0»;
- 3) отримані терми об'єднують операцією «Або».

*Приклад.* Описати логічну функцію елемента нерівнозначності у ДДНФ. Відповідно до рис.3.1.11 значення «1» на виході вузла дають лише комбінації вхідних сигналів «01» та «10». Їм відповідають такі кон'юнктивні терми:

$$\hat{E}_1 = \overline{x_2} \cdot x_1 \text{ та } \hat{E}_2 = x_2 \cdot \overline{x_1}.$$

Внаслідок об'єднання термів операцією «Або» отримується логічна функція, якій відповідає схема (рис. 3.1.14):



$$y = x_2 \oplus x_1 = \overline{x_2}x_1 \vee x_2\overline{x_1}. \quad (3.1.5)$$

**Опис логічної функції удосконалій кон'юнктивній нормальній формі (ДКНФ).** Функцію комбінаційного вузла можна описати й через диз'юнктивні терми  $D_m$ . Оскільки змінні в диз'юнктивному термі об'єднані операцією «Або», то при всіх комбінаціях операндів крім однієї вони дають «1», а значення «0» виникає за такої комбінації, коли всі операнди одночасно «0». Для цього потрібно, щоб змінна, використана без інверсії, мала значення «0», а змінна, використана з інверсією, – «1». Наприклад, терм  $x_3 \vee \overline{x_2} \vee \overline{x_1}$  дасть «0», тільки якщо  $x_3 = \langle 0 \rangle$ ,  $x_2 = \langle 1 \rangle$ ,  $x_1 = \langle 0 \rangle$ . Якщо розглядати

цю комбінацію сигналів як розряди двійкового коду  $X_m$ , то вона відповідає числу  $m = 2$ . Інакше кажучи, кожній  $m$ -й комбінації сигналів, що розглядається як двійковий код  $X_m$ , відповідає диз'юнктивний терм  $D_m$ , у якому без інверсій використовуються змінні, що відповідають значенням розрядів коду «0», а з інверсією – змінні, що відповідають розрядам коду із значенням «1».

Для опису дії комбінаційного вузла через диз'юнктивні терми його задачу потрібно перефразувати: при певних комбінаціях вхідних сигналів:  $X_m$ , ( $m = w, e, \dots, r$ ) він повинен формувати «0», а при інших – «1». Оскільки першій групі комбінацій  $X_m$  відповідають певні диз'юнктивні терми  $D_m$  і при кожній із них повинен виникати «0», то для отримання виразу логічної функції ці терми потрібно об'єднати кон'юнкцією:

$$y(X) = D_w(X) \& D_e(X) \& \dots D_r(X).$$

Загалом відома залежність значень вихідного сигналу вузла у від комбінації вхідних  $X$  дозволяє записати вираз логічної функції у ДКНФ так:

$$y(X) = \bigcap_{m=0}^{2^k-1} y(X_m) D_m(X), \quad D_m(X) = \bigcup_{i=0}^k (x_i \oplus b_{m_i}). \quad (3.1.6)$$

У цьому виразі для визначення умови, чи входить операнд  $x_i$  у терм  $D_m$  з інверсією, застосована додаткова операція нерівнозначності: якщо  $i$ -й розряд  $m$ -ї кодової комбінації  $b_{m_i} = 0$ , то операнд використовується без інвертування, а якщо цей розряд  $b_{m_i} = 1$ , то з інвертуванням.

Отриманий вид опису логічної функції називається *досконалою кон'юнктивною нормальною формою*.

**Методика складання логічної функції в ДКНФ** за таблицею логіки вузла, що підлягає проектуванню, протилежна до ДДНФ:

- 1) виділяють рядки таблиці, де вихідний сигнал повинен мати значення «0»;
- 2) для кожного такого рядка складають відповідний диз'юнктивний терм, об'єднавши операцією «Або» змінні без інверсії, якщо їх значення в цьому рядку «0», та з інверсією – коли «1»;
- 3) отримані терми об'єднують операцією «І».

*Приклад.* Опис логічної функції елемента нерівнозначності у ДКНФ. Згідно з таблицею логіки (рис. 3.1.11) на виході вузла значення «0» дають лише комбінації сигналів у першому та четвертому рядках – «00» та «11». Тому потрібні диз'юнктивні терми

$$D_0 = x_2 \vee x_1, D_3 = \overline{x_2} \vee \overline{x_1}.$$

Внаслідок їх об'єднання операцією «І» отримується логічна функція і схема (рис. 3.1.15)

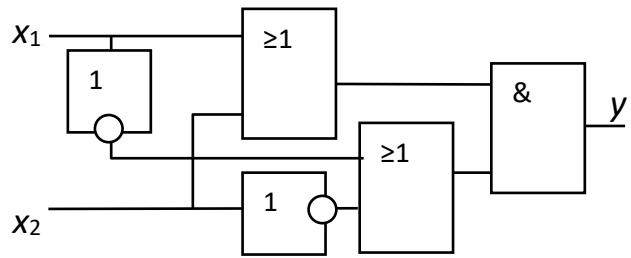


Рис.3.1.15. Варіант вузла нерівнозначності

$$y = x_2 \oplus x_1 = (x_2 \vee x_1)(\overline{x_2} \vee \overline{x_1}). \quad (3.1.7)$$

Яку з форм – ДКНФ чи ДДНФ – використати для опису функції вузла не принципово, оскільки на основі законів алгебри логіки їх можна взаємно перетворювати та спрощувати. Тому можна виходити з того, що яких значень логічної функції менше – відповідно менше потрібно термів.

Бувають випадки неповного визначення таблиці логіки через те, що деякі комбінації сигналів у конкретному вузлі не зустрічаються. Якщо невизначені комбінації вхідних сигналів, вихідні можуть мати довільні значення. Наприклад, така ситуація виникає в задачі керування цифровим сегментним індикатором (рис. 3.1.16), де код  $X$  перетворюється в комбінацію сигналів вибору сегментів  $Y = \{a, b, c, \dots, g\}$ . При цьому знаків (цифр) десять, а шість старших значень коду  $m$  ( $9 < m < 16$ ) зайві. У подібних випадках таблиця логіки доповнюється відсутніми комбінаціями сигналів із такими значеннями вихідних  $y(m)$ , які є бажаними для спрощення структури вузла.

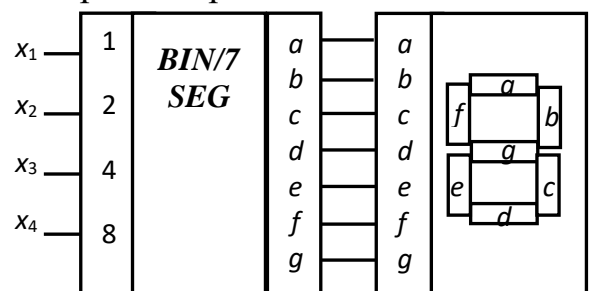


Рис.3.1.16. Керування індикатором

Отже, основою комбінаційних вузлів є логічні елементи, які виконують основні операції «І», «Або» та «Не» чи додаткові «І-Не» та «Або-Не». Продуктивним описом комбінаційного вузла є логічна функція, оскільки вона безпосередньо визначає схемну його побудову з відповідних елементів. Логічну функцію у досконалих формах можна скласти з таблиці логіки дії вузла та за схемою його побудови.

### 3.1.3. Закони алгебри логіки

#### 3.1.3.1. Тотожності алгебри логіки

Вираз логічної функції  $y(X)$ , що описує процес функціонування цифрового вузла, отриманий у досконалій формі, зазвичай містить надлишкові операнди, від яких вона не залежить. Це ускладнює структуру відповідного цифрового вузла. Крім того, за певних обставин може виникати необхідність вирішення задачі адаптації схеми цифрового вузла під конкретну елементну базу. В обох зазначених та інших випадках необхідно володіти математичним апаратом тотожних перетворень логічних виразів, який називають *алгеброю логіки*.

Доречно зауважити, що загалом алгебра логіки базується на низці аксіом, які використовують поняття бінарного сигналу й збігаються з визначенням основних логічних операцій:

$$\begin{aligned} 1 \vee 1 = 1; 1 \vee 0 = 1; 0 \vee 0 = 0; \bar{1} = 0; \\ 0 \vee 0 = 0; 1 \vee 0 = 1; 1 \vee 1 = 1; \bar{0} = 1. \end{aligned} \quad (3.1.8)$$

Також використовуються *принципи симетричності* (якщо  $x = y$ , то  $y = x$ ) і *транзитивності* (якщо  $x = y$  та  $y = z$ , то  $x = z$ ).

Співвідношення рівності формулюються як закони, а перевіряються на основі аксіом шляхом перебору комбінацій операндів. При цьому слід вказати, що *операндами* тут можуть виступати також довільні логічні вирази.

1. **Асоціативний (сполучний) закон:** дозволяє довільно об'єднувати операнди дужками в кон'юнктивному або диз'юнктивному термах, а також в операції «сума за модулем 2»:

$$\begin{aligned} x_1 x_2 x_3 = (x_1 x_2) x_3 = x_1 (x_2 x_3) = x_2 (x_1 x_3); \\ x_1 \vee x_2 \vee x_3 = (x_1 \vee x_2) \vee x_3 = x_1 \vee (x_2 \vee x_3) = x_2 \vee (x_1 \vee x_3). \end{aligned} \quad (3.1.9)$$

*Наслідок:* багатовходові логічні елементи «І», «Або» та суматори «за модулем 2» підлягають заміні довільним однонаправленим з'єднанням подібних елементів із меншою кількістю входів та навпаки (рис. 3.1.17).

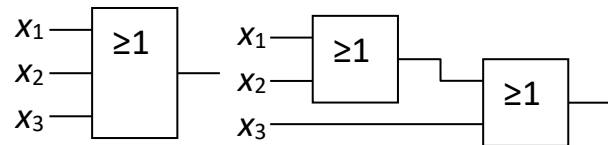


Рис.3.1.17. Декомпозиція елемента «Або»

2. **Закон повторення** (тавтології або ідемпотентності): дозволяє в кон'юнктивному або диз'юнктивному термі повторювати вже використані операнди та, навпаки, їх видаляти:

$$x \cdot x = x; x \vee x = x. \quad (3.1.10)$$

*Наслідки:*

1) незадіяні входи логічних елементів «І», «І-Не», «Або» та «Або-Не» можна об'єднувати із задіяними (рис. 3.1.18, а);

2) у разі об'єднання всіх входів елементів «І-Не» чи «Або-Не» утворюються інвертори (рис. 3.1.18, б).

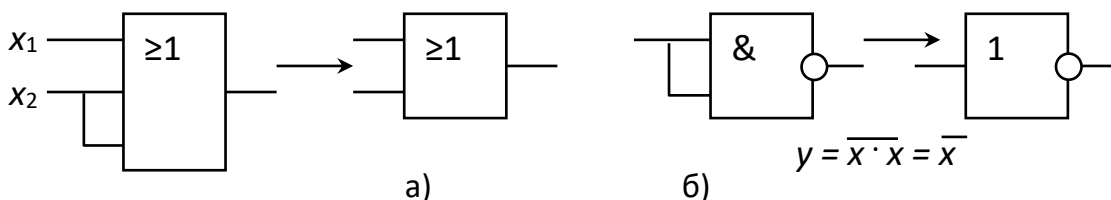


Рис.3.1.18. Використання закону повторення



**3. Закони нульової та одиничної множини** свідчать, що нульова константа в кон'юнктивному термі його обнуляє, а одинична – не змінює, у той час як у диз'юнктивному термі нульова константа його не змінює, а одинична – перетворює в одиничне значення:

$$x \cdot 0 = 0; x \cdot 1 = x; x \vee 0 = x; x \vee 1 = 1. \quad (3.1.11)$$

*Наслідки:*

1) надлишкові входи логічних елементів «І» та «І-Не» можна з'єднати з лінією сталого значення «1» ( $U^1$  чи живленням);

2) надлишкові входи логічних елементів «Або» та «Або-Не» можна з'єднати з лінією сталого значення «0» – для більшості технологій цифрових мікросхем це негативний вивід джерела живлення й маса пристрою (рис. 3.1.19, а, б).

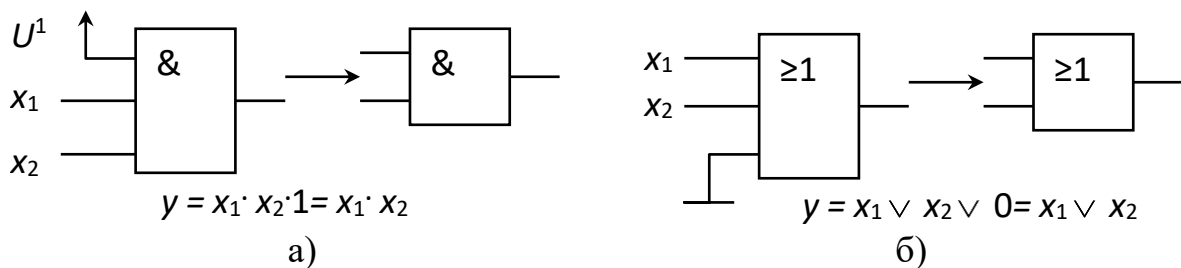


Рис.3.1.19. Використання закону нульової та одиничної множини

**4. Закон подвійного інвертування:** подвійне інвертування операнда не змінює його значення, тобто  $\overline{\overline{x}} = x$ .

*Наслідки:* зі схеми вузла можна виключати пари інверторів, якщо вони з'єднані послідовно, а також компенсувати інвертування сигналу в довільному елементі додатковим інвертором (рис. 3.1.20).

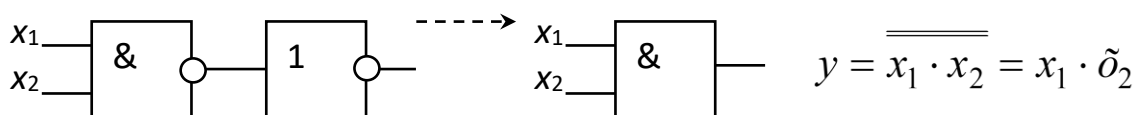


Рис.3.1.20. Приклад застосування закону подвійного інвертування

**5. Дистрибутивні закони:**

$$\begin{aligned} x_1 \cdot (x_2 \vee x_3) &= x_1 \cdot x_2 \vee x_1 \cdot x_3; \\ x_1 \vee (x_2 \cdot x_3) &= (x_1 \vee x_2) \cdot (x_1 \vee x_3). \end{aligned} \quad (3.1.12)$$

**6. Закони доповнювання:**  $x \vee \bar{x} = 1; x \cdot \bar{x} = 0$ .

Останні два закони використовуються при перетворенні логічних виразів, зокрема їх наслідками є закони поглинання та склеювання.

**7. Закони поглинання (абсорбції):**

$$x_1 \vee x_1 \cdot x_2 = x_1, x_1 \cdot (x_1 \vee x_2) = x_1. \quad (3.1.13)$$

### 8. Закони склеювання:

$$\begin{aligned} x_1 \cdot x_2 \vee x_1 \cdot \overline{x_2} &= x_1; (x_1 \vee \overline{x_2}) \cdot (x_1 \vee x_2) = x_1; \\ x_1 \vee x_1 \cdot x_2 &= x_1 \vee x_2; x_1 \cdot (x_1 \vee x_2) = x_1 \cdot x_2. \end{aligned} \quad (3.1.14)$$

Тобто змінна, інвертованими значеннями якої в нормальній формі відрізняються два терми логічного виразу, не впливає на значення цього виразу.

**9. Закон інвертування К.Шеннона (закон двоїстості):** якщо в логічному виразі  $f(x_1, x_2, \dots / \&, \vee)$  проінвертувати кожен операнд та одночасно взаємно замінити операції «І» та «Або», то вираз буде відповідати функції з інвертованими значеннями, тобто

$$f(\overline{x_1}, \overline{x_2}, \dots / \vee, \&) = \overline{f(x_1, x_2, \dots / \&, \vee)}. \quad (3.1.15)$$

Цей закон дає методику отримання логічного виразу одразу для інверсних значень функції та має низку важливих наслідків.

#### 3.1.3.2. Двоїсті властивості логічних елементів

Наслідком закону інвертування Шеннона є **теорема де Моргана**: інверсія результату диз'юнкції певних операндів еквівалентна кон'юнкції інверсних значень тих самих операндів.

Аналогічно інверсія результату кон'юнкції еквівалентна диз'юнкції інверсних значень тих самих операндів, тобто

$$\overline{x_1 \cdot x_2} = \overline{x_1} \vee \overline{x_2} \text{ та } \overline{x_1 \vee x_2} = \overline{x_1} \cdot \overline{x_2}.$$

Ці твердження справедливі для довільної кількості операндів чи виразів.

Відповідно до законів *де Моргана* є можливість виконувати операцію «І» на основі операції «Або» та інвертування, і навпаки: операцію «Або» виконувати на основі операції «І» та інвертування, а звідси й двоїсті форми функцій базових логічних елементів. Структурні схеми заміни логічних елементів будуть називатися *еквівалентними*.

**Двоїста форма логічної функції елемента «І-Не»:**

$$y = \overline{x_1 \cdot x_2} = \overline{x_1} \vee \overline{x_2}.$$

Останній вираз визначає *двоїсте умовне зображення* логічного елемента, а також його еквівалентну структуру (рис. 3.1.21, б, в).

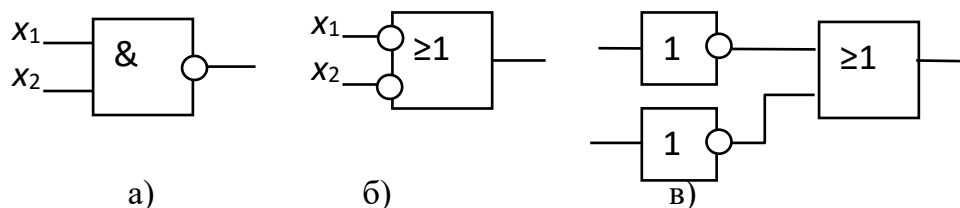


Рис.3.1.21. Основне зображення елемента «І-Не»(а), двоїсте (б) і структура (в)

Інвертований вхід (із кружком) означає, що значення відповідної змінної сприймається як «1», коли на такому вході «0». Тому двоїсте зображення елемента «І-Не» свідчить, що на його виході буде «1», коли хоч на одному з входів буде «0».

**Двоїста форма логічної функції елемента «І»** отримується додатковим інвертуванням попереднього виразу, тобто

$$y = \overline{x_1 \cdot x_2} = \overline{x_1} \vee \overline{x_2}.$$

Це відповідає двоїстому умовному зображенню логічного елемента й структурі еквівалентної заміни, показаним на рис. 3.1.22, б, в.

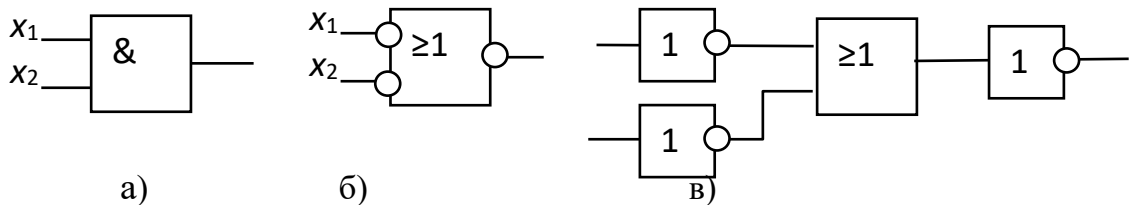


Рис.3.1.22. Основне зображення елемента «І» (а), двоїсте (б) і структура (в)

Двоїсте умовне зображення елемента «І» свідчить, що на його виході буде 0, коли присутній хоч на одному вході.

**Двоїста форма логічної функції елемента «Або-Не»** вже відома:

$$y = \overline{x_1 \vee x_2} = \overline{x_1} \cdot \overline{x_2}.$$

Це відповідає умовному зображенню цього логічного елемента, а також його еквівалентній структурі, показаним на рис. 3.1.23, б, в.

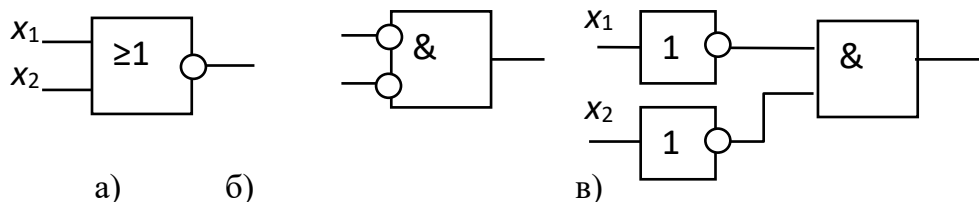


Рис.3.1.23. Основне зображення елемента «Або-Не» (а), двоїсте (б) і структура (в)

Двоїсте зображення елемента «Або-Не» свідчить, що на його виході буде «1», коли одночасно на всіх входах «0».

**Двоїста форма логічної функції елемента «Або»** отримується додатковим інвертуванням попереднього виразу:

$$y = \overline{\overline{x_1 \vee x_2}} = \overline{\overline{x_1} \cdot \overline{x_2}}.$$

Це відповідає двоїстому умовному зображенню логічного елемента, а також його структурі, показаним на рис. 3.1.24, б, в.

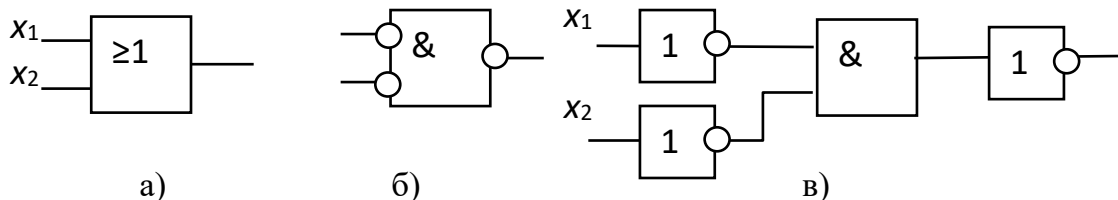


Рис.3.1.24. Основне зображення елемента «Або» (а), двоїсте (б) і структура (в)

Двоїсте умовне зображення елемента «Або» свідчить, що на його виході буде 0, коли одночасно на всіх входах 0.

Двоїсті зображення логічних елементів використовуються з метою відображення логіки дії пристрою, коли активні значення сигналів є «0».

Наприклад, на рис. 3.1.25, а наведено схему вузла, опис якої можна перетворити, спираючись на теорему де Моргана:

$$y = \overline{x_1 \cdot x_2 \cdot x_3 \cdot x_4} = \overline{x_1 \cdot x_2} \vee \overline{x_3 \cdot x_4} = x_1 \cdot x_2 \vee x_3 \cdot x_4.$$

Відповідний варіант схеми вузла (рис. 3.1.25, б) використовує двоїсте зображення вихідного елемента, яке свідчить про прикінцеву операцію «Або» в еквіваленті цього вузла.

Розглянуті еквівалентні структури логічних елементів дають можливість заміни одних логічних елементів іншими, зокрема елементів «І» на «Або» та навпаки. Однак доречно зазначити, що в таких випадках ще потрібні інвертори. Оскільки останні можна отримати з елементів «І-Не» чи «Або-Не» (див. рис. 3.1.18, б), то виявляється, що зазначені елементи є універсальними, і це означає, що довільний цифровий вузол можна побудувати з одних лише елементів «І-Не» чи «Або-Не», тобто кожен із них утворює базис.

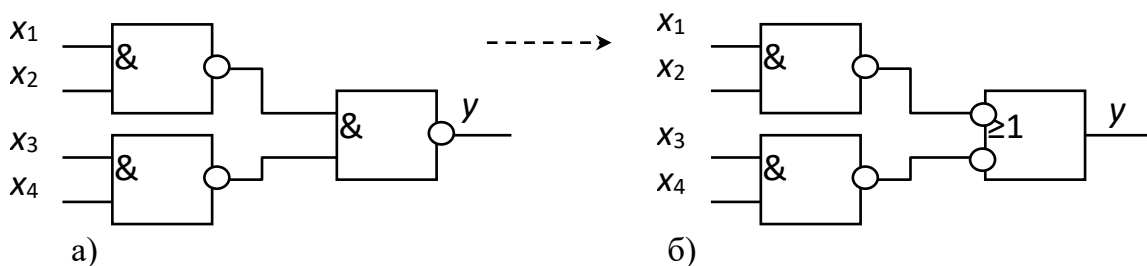
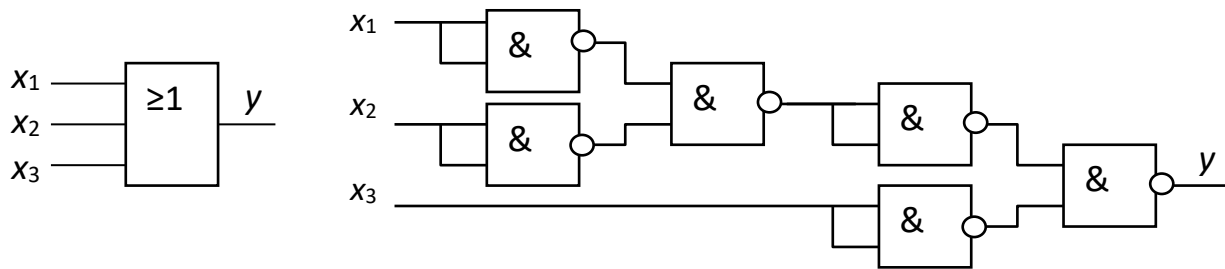


Рис. 3.1.25. Схеми вузла з основним (а) та двоїстим (б) зображенням елемента

*Приклад.* Заміна елемента «Або» з трьома входами на елементи «І-Не» з двома входами.

План: на початку тривходовий елемент «Або» складається з таких самих двохходових (див. рис. 3.1.17), далі кожен із них замінюється еквівалентною структурою (див. рис. 3.1.24, в), далі інвертори – елементами «Або-Не». Тому схема вузла набуває вигляду, як на рис. 3.1.26. Таку саму структуру можна отримати й аналітично на основі теореми де Моргана:

$$x_1 \vee x_2 \vee x_3 = \overline{\overline{x_1 \vee x_2} \cdot \overline{x_3}} = \overline{\overline{x_1 \cdot x_2} \cdot \overline{x_3}} = \overline{\overline{x_1 \cdot x_2}} \vee x_3 = x_1 \cdot x_2 \vee x_3.$$



Спираючись на теорему де Моргана, вирази логічних функцій у ДДНФ (3.1.4) та ДКНФ (3.1.6) теж можна звести до форми втілення в заданому базисі – лише на елементах «Або-Не» чи «І-Не»:

$$y(X) = \overline{\bigvee_{m=0}^{2^k-1} y(X_m) \cdot K_m(X)} = \bigwedge_{m=0}^{2^k-1} y(X_m) \cdot \overline{K_m(X)}; \quad (3.1.16)$$

$$y(X) = \overline{\bigwedge_{m=0}^{2^k-1} y(X_m) \cdot D_m(X)} = \bigvee_{m=0}^{2^k-1} y(X_m) \cdot \overline{D_m(X)}, \quad (3.1.17)$$

де  $y(X_m)$  – це відомі значення логічної функції при  $m$ -х комбінаціях операндів, що селектують відповідні кон'юнктивні  $K_m$  чи диз'юнктивні  $D_m$  терми з усіх  $2^k$ .

**Теорема розкладання Шеннона.** В алгебрі логіки іноді виникають задачі пошуку потрібних значень змінних, тобто розв'язання логічних рівнянь. Для цього важливим апаратом є розкладання логічних виразів у вигляді поліномів відносно змінних.

Основою цього є теорема: довільну логічну функцію від ряду змінних  $y = f(x_1, x_2, \dots, x_r, \dots, x_n)$  можна представити об'єднанням за «Або» кон'юнкції одного з операндів та початкового виразу, якщо значення цієї змінної «1», а також кон'юнкції інверсного значення цієї змінної та виразу, у якому вона є 0:

$$y = \overline{x_r} \cdot f(x_1, x_2, \dots, x_r = 0, \dots, x_n) \vee x_r \cdot f(x_1, x_2, \dots, x_r = 1, \dots, x_n). \quad (3.1.18)$$

Справедливість цієї теореми доводиться шляхом перебору значень  $x_r$ . Враховуючи, що  $\overline{x_r} = 1 \oplus x_r$ , вираз 3.1.18 можна звести до форми:

$$y(X) = q_0 \oplus q_1 \cdot x_r,$$

де  $q_0$  та  $q_1$  – певні вирази від інших змінних, крім  $x_r$ .

Подібне перетворення називається *розкладанням Ріда*. На цій основі описуються логічні рівняння та їх системи для аналітичного пошуку потрібних значень аргументів логічних функцій.

Отже, алгебра, що ґрунтується на аксіомах основних логічних операцій, дозволяє перетворювати логічні вирази, а це призводить до неоднозначності

структурної побудови цифрового пристрою. Тому, необхідна її оптимізація – вибір кращого варіанта за певним критерієм.

### 3.1.4. Мінімізація логічних функцій

#### 3.1.4.1. Критерії мінімізації

Оскільки вираз логічної функції визначає структуру відповідного комбінаційного вузла, то виникає необхідність його аналізу щодо відповідності певним умовам, зокрема:

- складності побудови вузла;
- наявності відповідної компонентної бази;
- логічної глибини;
- допустимості появи наслідків перегону сигналів у колах їх поширення.

**Складність вузла** оцінюється кількістю  $W$ , потрібних для його втілення логічних елементів, а остання для випадку функції у ДДНФ або ДКНФ – кількістю об'єднаних в логічний вираз термів, їх елементів та інверсій. Крім того, на складність вузла можуть впливати *обмеження компонентної бази, що використовується для їх будови*. Так, логічні елементи в їх наборах мають обмежену кількість входів – частіше до чотирьох, і лише деякі – до восьми.

**Логічна глибина вузла  $G$**  – це максимальна кількість простих логічних елементів («І», «І-Не», «Або» та «Або-Не»), через які повинна проходити зміна сигналу від певного входу вузла до його виходу. Так, наприклад, для вузла на рис. 3.1.26 параметр  $G = 4$ . Доцільно зазначити, що чим більшою є логічна глибина  $G$ , тим довше вузол буде реагувати на зміну сигналу, оскільки буде відбуватися затримка поширення сигналу в кожному елементі.

**Перегони сигналів.** Відмітні кількості логічних елементів на шляху проходження сигналів у вузлі та неоднакові властивості цих елементів і ліній зв'язку призводять до надходження сигналів на входи логічних елементів із різними затримками, незважаючи, що на входи самого пристрою вони надходять одночасно. Це явище називають *перегонами сигналів*. Їх наслідок виявляється в тому, що після зміни вхідних сигналів вузла на його виходах короткочасно можуть з'являтися сигнали, не притаманні його логічній функції.

*Приклад.* Якщо сигнали на входах вузла рис. 3.1.27, а змінюються одночасно, то через додаткову затримку сигналу  $x_2$  в інверторі (лінія  $s$ ) на виході вузла виникає короткий імпульс (рис. 3.1.27, б), якого за логікою дії вузла бути не повинно.

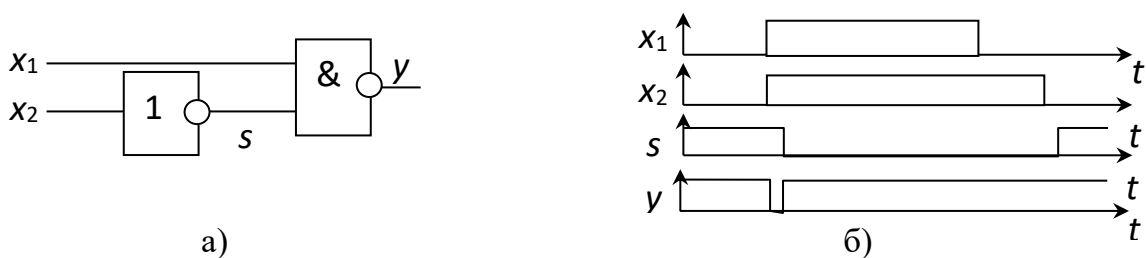


Рис.3.1.27. Схема вузла (а) та виявлення перегонів сигналів у ньому (б)

Для боротьби з перегонами сигналів вирівнюють тривалості їх поширення або використовують додатковий сигнал дозволу видачі результату роботи вузла – так званий *сигнал стробування*.

Отже, *критерієм оптимальності побудови* вузла не завжди є мінімум показника складності  $W$ . Зокрема, в критичних обставинах щодо швидкості дії критерієм оптимальності є мінімум його глибини  $G$  за мінімуму складності  $W$ . Останнє можливо, якщо використовуються *мінімальні нормальні форми* логічних функцій, що містять мінімально можливу кількість термів, які, своєю чергою, задіюють мінімальну кількість операндів і мають такі самі значення при заданих таблицею логіки комбінаціях сигналів, як початкова ДДНФ або ДКНФ.

Процес отримання мінімальних логічних функцій із первинних описів, зокрема ДДНФ, прийнято називати їх *мінімізацією*. Слід зауважити, що немає принципової різниці, для яких – прямих чи інверсних – значень вихідного сигналу виконується мінімізація, а тому і у якій початковій формі описана функція (частіше це – ДДНФ).

Основою для здійснення мінімізації логічних функцій є розглянуті закони тотожних перетворень, зокрема поглинання й склеювання.

*Приклад.* Перевірка виразу закону склеювання в першій формі (3.1.13). Розкриваючи дужки на основі дистрибутивного закону, отримують кон'юнктивні терми, у яких пари склеюються за змінною  $x_2$ , а один завжди є нульовим. Далі за законом тавтології отримують результат:

$$(x_1 \vee x_2) \cdot (x_1 \vee \overline{x_2}) = x_1 \cdot x_1 \vee x_1 \cdot \overline{x_2} \vee x_2 \cdot x_1 \vee x_2 \cdot \overline{x_2} = x_1 \vee x_1 \vee 0 = x_1.$$

На жаль, навіть за кількості змінних  $k=3$  процесу мінімізації шляхом безпосереднього застосування законів тотожних перетворень є доволі трудомістким. Тому, з метою спрощення цього процесу розроблено певні методики мінімізації логічних функцій. Такі методики можна поділити на графічні, що сприяють швидшому ручному пошуку рішення, та математичні (формальні), що дозволяють автоматизувати цей процес на ПЕОМ.

### 3.1.4.2. Мінімізація з діаграмами Вейча–Карно

Частіше суть мінімізації полягає саме в пошуку термів функції, які склеюються завдяки тому, що відрізняються прямим та інверсним значеннями одного операнда. Для полегшення процесу пошуку розроблено спеціальні форми таблиці логіки – *діаграми Вейча* й подібні до них (з іншим розташуванням клітинок) *карти Карно*, де кожній клітинці відповідає певна комбінація вхідних сигналів, а дві сусідні клітинки попертикалі або горизонталі відрізняються значенням тільки однієї змінної. У табл. 3.1.3 показано структуру діаграми Вейча для випадку трьох операндів. Тут слід розуміти, що перша й остання колонки з термами теж є сусідніми, оскільки діаграма розташована ніби на поверхні кулі. Для прикладу в табл. 3.1.4 показано таку діаграму для вузла, що визначає умову, чи кількість «1» серед трьох входівне є меншою 2 (рис. 3.1.5). При цьому склеюються терми, щов сусідніх клітинках діаграми взаємно інверсні, тобто з терму викреслюється той операнд, який в одній клітинці присутній з інверсією, а

в іншій без неї. Зокрема, в розглянутому прикладі залишаються три терми з двома змінними:

$$y = x_1 x_2 \vee x_1 x_3 \vee x_2 x_3.$$

Таблиця 3.1.3

	$x_2$		$/x_2$	
$x_1$	$x_1 x_2 x_3$	$x_1 x_2/x_3$	$x_1/x_2/x_3$	$x_1/x_2 x_3$
$/x_1$	$/x_1 x_2 x_3$	$/x_1 x_2/x_3$	$/x_1/x_2/x_3$	$/x_1/x_2 x_3$
	$x_3$	$/x_3$		$x_3$

Таблиця 3.1.4

	$x_2$		$/x_2$	
$x_1$	1	1	0	1
$/x_1$	1	0	0	0
	$x_3$	$/x_3$		$x_3$

Задача полягає у виборі мінімальної кількості результатів подібного склеювання, що покривають всі наявні кон'юнктивні терми. Тому краще, коли клітинки зі значеннями «1» утворюють квадрати.

Для випадку чотирьох операндів структура діаграми Вейча має вигляд, показаний у табл. 3.1.5.

Таблиця 3.1.5

	$x_2$			$/x_2$	
$x_1$	$x_1 x_2 x_3 x_4$	$x_1 x_2 /x_3 x_4$	$x_1 /x_2 /x_3 x_4$	$x_1 /x_2 x_3 x_4$	$x_4$
$/x_1$	$/x_1 x_2 x_3 x_4$	$/x_1 x_2 /x_3 x_4$	$/x_1 /x_2 /x_3 x_4$	$/x_1 /x_2 x_3 x_4$	
$x_1$	$x_1 x_2 x_3/x_4$	$x_1 x_2 /x_3/x_4$	$x_1 /x_2 /x_3/x_4$	$x_1 /x_2 x_3/x_4$	$/x_4$
$/x_1$	$/x_1 x_2 x_3/x_4$	$/x_1 x_2 /x_3/x_4$	$/x_1 /x_2 /x_3/x_4$	$/x_1 /x_2 x_3/x_4$	
	$x_3$	$/x_3$			$x_3$

Діаграми Вейча для кількості змінних більше п'яти громіздкі, а тому неефективні. Відповідно, корисніші методи мінімізації, що пристосовані для автоматизації цього процесу.

### 3.1.4.3. Мінімізація за методом Квайнай Мак-Класкі

Цей метод складається з двох етапів: перехід від початкової форми функції до скороченої, а далі – від неї до мінімальної.

**Перший етап мінімізації** полягає у виявленні пар кон'юнктивних термів, що відрізняються тільки інверсним значенням однієї змінної з наступним їх склеюванням по ній згідно з формулою (3.1.13). Важливо, що далі результати склеювання вводяться в початковий вираз як додаткові члени, що за законом повторення не змінюють значення функції. Завдяки цьому проводиться аналіз можливості поглинання ними інших термів, які відрізняються додатковими операндами – тоді з логічного виразу такі члени виключаються. При цьому використовується співвідношення (3.1.12). Надалі операції склеювання й поглинання повторюються знову, поки це є можливим.

*Приклад:*

$$y = \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} x_3 \vee \overline{x_1} x_2 \overline{x_3} \vee \overline{x_1} x_2 x_3 \vee x_1 \overline{x_2} \overline{x_3} \vee x_1 \overline{x_2} x_3 \vee x_1 x_2 \overline{x_3} \vee x_1 x_2 x_3$$



У цьому виразі нові члени виникли внаслідок склеювання, відповідно: першого і четвертого членів, другого і третього, другого і четвертого, третього і п'ятого, четвертого і п'ятого. Внаслідок поглинання новими членами попередніх отримується перша скорочена форма. Повторне склеювання дає доповнення функції операндом  $x_1$  (від третього й четвертого членів та від другого й п'ятого), а наступне поглинання – кінцевий результат:

$$y = \overline{x_2 x_3} \vee \overline{x_1 x_2} \vee \overline{x_1 x_3} \vee x_1 x_3 \vee x_1 x_2 = \overline{x_2 x_3} \vee x_1.$$

**Другий етап мінімізації.** Одержаний на першому етапі вираз логічної функції може містити зайві члени. Їх пошук становить суть другого етапу мінімізації за методом Квайна. Цей пошук проводиться за допомогою так званої *імплікативної матриці* – таблиці, стовпчики якої відповідають членам ДДНФ функції, а рядки – членам скороченої форми. На їх пересіченні позначаються клітини у випадку, якщо член скороченої форми поглинає певний член ДДНФ. Так виявляються саме ті члени скороченої форми, без яких не можна поглинути всіх членів ДДНФ, і вони складають ядро. Серед цього ядра вибирають мінімальну кількість членів із мінімальною кількістю змінних, які разом покривають усі терми функції. Це і буде результатом мінімізації.

Зокрема, така матриця для попереднього прикладу, наведена в табл. 3.1.6, показує, що одразу отримано мінімальну форму логічної функції, тобто необхідні обидва члени скороченої форми.

Таблиця 3.1.6

Терми скорочені	Поглинання первинних термів функції				
	$\overline{x_1} \overline{x_2} \overline{x_3}$	$x_1 \overline{x_2} \overline{x_3}$	$x_1 \overline{x_2} x_3$	$x_1 x_2 \overline{x_3}$	$x_1 x_2 x_3$
$x_1$		+	+	+	+
$x_2 \overline{x_3}$	+			+	

Отже, шляхом мінімізації логічних виразів вдається не тільки спростити структуру й зменшити складність цифрового вузла, а зменшити енергоспоживання синтезованого вузла.

### Контрольні питання

1. Визначити двійкові та двійково-десяткові коди чисел від 1 до 84, а також їх шістнадцяткові позначення.
2. Обґрунтувати, до якої групи належить цифровий вузол, який, аналізуючи вхідний код, формує «1» тільки в разі перевищення певного значення.
3. Скласти таблицю логіки роботи вузла із заданою логічною функцією та показати його реалізацію на елементах «І-Не» та «Або-Не»  $Y = x_1 \vee x_2 \cdot x_3$ .

4. Побудувати схему вузла, що за вказаних двох значень вхідного п'ятирозрядного двійкового коду  $K_1 = 10$  і  $K_2 = 23$  формує «0», а в решті випадків «1».

5. Скласти таблицю логіки, а потім і функції виходів вузла керування індикатором (див. рис. 3.1.16) для цифр 0...7.

6. Побудувати схему вузла, що за вказаних двох значень вхідного шестирозрядного двійкового коду  $K_1 = 12$  і  $K_2 = 24$  формує «1». Забезпечити виведення відповідної інформації на знаковий сегментний індикатор. Використовуючи довідник мікросхем, побудувати електричну схему отриманого цифрового пристрою.

## **Розділ 3.2. СХЕМОТЕХНІКА КОМБІНАЦІЙНИХ ВУЗЛІВ**

Як зазначалося, в основі дії цифрових пристроїв лежить використання елементарних логічних операцій: «І», «Або» та інвертування, які, своєю чергою, виконуються відповідними електронними вузлами – логічними елементами (ЛЕ). Конструктивно-технологічною основою ЛЕ є напівпровідникові інтегральні мікросхеми (ІМС), у яких усі елементи виготовляються в об'ємі одного кристала. Компонентна база цифрової електроніки невпинно вдосконалюється з метою збільшення швидкості дії, зниження енергетичних витрат та розширення її функціональних можливостей.

На сьогодні існує багато різновидів цифрових мікросхем, які поділяють за технологічними та схемотехнічними ознаками їх будови та позначають відповідними аббревіатурами, зокрема: ТТЛ, КМОН, ЕЗЛ, І<sup>2</sup>Л - технології. Мікросхеми, виготовлені за однаковою технологією, які мають тотожні основні параметри, призначені для сумісного використання та об'єднуються в серії ІМС.

Цифрові мікросхеми складаються з логічних елементів, кожен з яких є функціональним вузлом, що забезпечує не тільки виконання заданої логічної операції стосовно значень вхідних сигналів, але й дотримання ряду технічних вимог. Останні впливають з умов експлуатації ІМС у пристрої та описуються відповідними параметрами. Загалом, усі ці параметри можна поділити на електричні, конструктивні та надійнісні. Відповідно до функціонального призначення цифрових ІМС найважливішими є електричні параметри, що поділяються на вхідні, вихідні, швидкості дії та енергоспоживання.

### **3.2.1. Основні електричні параметри цифрових мікросхем**

#### ***3.2.1.1. Вихідні параметри цифрових мікросхем***

Вихідне коло логічного елемента стандартного типу повинно забезпечувати створення заданих логічних рівнів напруги для станів «0» і «1» при заданих параметрах навантаження, яке, своєю чергою, характеризується як активною, так і реактивною складовою струму.

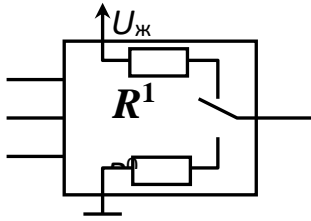


Рис. 3.2.1. Модель стандартного виходу

Це вихідне коло ЛЕ можна уявити перемикачем напруг рівнів  $U^0$  (частіше  $0\text{ В}$ ) та  $U^1$  (частіше напруги живлення  $U_{\text{ж}}$ ) з відповідними внутрішніми опорами  $R^0$  і  $R^1$ , що відповідають навантажувальній спроможності елемента (рис. 3.2.1). До основних вихідних параметрів цифрових мікросхем належать такі:

*допустимі рівні вихідних сигналів у статичних станах:*

- 1) діапазон вихідної напруги у стані логічного нуля  $U^0_{\text{вих}}$  – зокрема максимальна напруга  $U^0_{\text{вих max}}$  і мінімальна  $U^0_{\text{вих min}}$  (частіше  $0$ );
- 2) діапазон вихідної напруги у стані логічної одиниці  $U^1_{\text{вих}}$  – зокрема мінімальна напруга  $U^1_{\text{вих min}}$  і максимальна  $U^1_{\text{вих max}}$  (частіше  $U_{\text{ж}}$ );

*навантажувальна спроможність* визначається максимальними струмами в обох станах виходу:  $I^0_{\text{вих м}}$  та  $I^1_{\text{вих м}}$ , за яких вихідна напруга ще знаходиться у допустимих межах  $U^0_{\text{вих}} < U^0_{\text{вих max}}$  та  $U^1_{\text{вих}} > U^1_{\text{вих min}}$  відповідно. При цьому вихідний струм  $I^0_{\text{вих}}$  ззовні втікає у вихід, а струм  $I^1_{\text{вих}}$ , навпаки, витікає.

Замість вихідних параметрів за струмом у документації може вказуватися *допустимий опір навантаження*  $R_{\text{н min}}$ , що немов би вмикається: для стану «1» – між виходом і лінією нульового потенціалу, а для стану «0» – між виходом і лінією живлення.

### 3.2.1.2. Вхідні параметри цифрових мікросхем

Сигнальна напруга  $u_x(t)$  на вході ЛЕ може мати безліч значень, що обумовлюється як нестабільністю вихідної напруги джерел інформації  $U^0_{\text{вих}}$  і  $U^1_{\text{вих}}$ , так і ще більше впливом будь-яких завад на лініях з'єднання цифрових вузлів. Щоб розпізнати значення «0» та «1» сигналу  $x(t)$ , його напруга  $u_x(t)$  в логічному елементі порівнюється з певним класифікаційним рівнем  $U_{\text{пер}}$ , який називається *напругою перемикавання*. Відповідно, значення сигналу  $x(t)$  сприймаються так:

$$x(t) = \begin{cases} 0, & \text{якщо } u_x(t) < U_{\text{пер}}; \\ 1, & \text{якщо } u_x(t) > U_{\text{пер}}. \end{cases}$$

Напруга перемикавання також не зовсім стабільна, а поблизу неї існує певна зона невизначеності, у якій ЛЕ не в змозі правильно розпізнати сигнал. Тому іноді додатково розглядають *порогову напругу логічного нуля*  $U_{\text{п0}}$  – найбільше значення вхідної напруги ЛЕ, яке ще достовірно і правильно сприймається ним за логічний нуль, та *порогову напругу логічної одиниці*  $U_{\text{п1}}$  – мінімальну напругу на вході ЛЕ, яка ще достовірно і правильно сприймається за «1». Перебування сигнальної напруги в зоні невизначеності

небажане не тільки через неможливість правильно сприйняти значення цифрового сигналу, а ще і тому, що призводить до небажаного з енергетичного погляду режиму роботи логічного елемента. Тому на рівні вхідної напруги в станах нуля та одиниці накладаються вимоги  $U^0_{\text{вих max}}$  і  $U^1_{\text{вих min}}$ , аналогічні вихідним параметрам. Крім того, вхідна напруга не повинна виходити за межі рівнів живлення – зазвичай допускається перевищення до  $0,5\text{ В}$  – доки не відкриваються  $p$ - $n$ -переходи захисних діодів між входом та лініями ОБ і  $U_{\text{ж}}$ .

Наведені вхідні та вихідні параметри визначаються з *передавальної (амплітудної) характеристики ЛЕ* – залежності його вихідної напруги від вхідної  $u_{\text{вих}}(u_{\text{вх}})$  за відповідних до логіки роботи пасивних значень сигналів на інших входах. Наприклад, для інвертора така характеристика може мати вигляд, зображений на рис. 3.2.2. Приклад розпізнавання сигнальної реалізації  $u_x(t)$  показано на рис. 3.2.3.

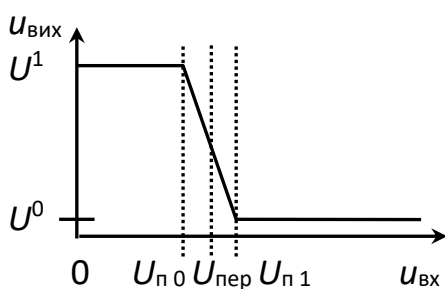


Рис. 3.2.2. Передавальна характеристика інвертора

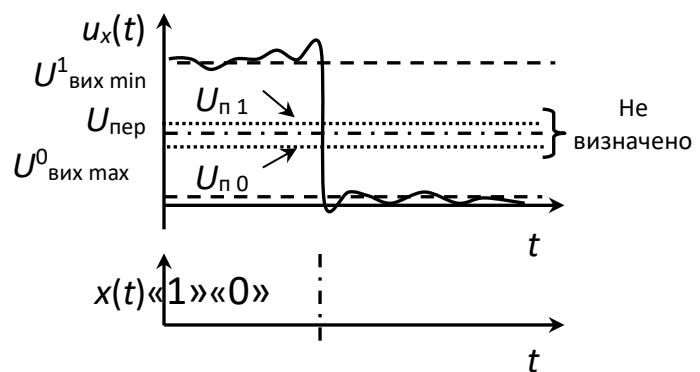


Рис. 3.2.3. Цифровий сигнал

Оскільки коливання напруги обумовлені дією завад, то важливо, яка величина їх амплітуди може бути допустимою. Цей параметр називають *статичною завадостійкістю*  $U_{\text{зав ст}}$  і визначають мінімальною різницею відповідних порогових і логічних рівнів:

$$U_{\text{зав ст}} = \min \{ U_{\text{п0}} - U^0_{\text{вих max}}, U^1_{\text{вих min}} - U_{\text{п1}} \}.$$

Для забезпечення максимальної завадостійкості значення порогових рівнів повинні бути якомога ближчими до напруги перемикання  $U_{\text{іаđ}}$ , а остання є середньою між допустимими логічними рівнями:

$$u_x(t) < U^1_{\text{вих min}}, \text{ або } u_x(t) > U^0_{\text{вих max}}; U_{\text{пер}} \approx (U^1_{\text{вих min}} + U^0_{\text{вих max}}) / 2.$$

Вхідне коло ЛЕ впливає на джерело сигналу та лінію його передачі своїм вхідним опором, що має активну та ємнісну складову. У статичних станах завжди переважає активна складова вхідного струму, а її значення для обох станів входу  $I^0_{\text{вх}}$  та  $I^1_{\text{вх}}$  не тільки різні, але й протилежного напрямку. Так, якщо  $u_{\text{вх}} = U^0 \approx 0$ , струм  $I^0_{\text{вх}}$  витікає з ЛЕ у бік джерела сигналу та вважається негативним, а якщо  $u_{\text{вх}} = U^1$ , струм  $I^1_{\text{вх}}$ , навпаки, втікає й вважається позитивним. Важливі також граничні значення цих струмів.

Параметри навантажувальної спроможності та вхідних струмів логічних елементів разом визначають так званий *коефіцієнт розгалуження*  $K_p$  – найбільшу кількість входів логічних елементів певної серії, що можна під'єднати до виходу певного елемента. Зазначений коефіцієнт розраховується за умови, що сумарний вхідний струм входів елементів-приймачів, що підлягають об'єднанню, не повинен перевищувати допустимий вихідний струм елемента-джерела. Якщо переважає активна складова вхідного струму ЛЕ, то розрахунок

параметра  $K_p$  проводиться для обох значень вхідного сигналу, а за результат приймається менше число. Тому, частіше коефіцієнт розгалуження визначається струмами  $I_{вх}^0$ , як більшої величини, та  $I_{вих м}^0$  відповідно:

$$K_p = I_{вих м}^0 / |I_{вх}^0|, \text{ якщо } |I_{вх}^0| > I_{вх}^1.$$

Деякі технології цифрових ІМС відрізняються практичною відсутністю активної складової вхідного струму логічних елементів. Тоді коефіцієнт розгалуження обмежується сумарною вхідною ємністю подібних елементів  $C_{вх}$  та монтажу  $C_m$ , які разом не повинні перевищувати допустиму ємність навантаження елемента  $C_{нм}$ :

$$K_p = \frac{(C_{нм} - C_m)}{C_{вх}}, \text{ якщо } I_{вх} \approx 0.$$

Це обумовлено впливом ємності на «завал» фронтів сигнальної напруги, що призводить до невпевненого спрацьовування і затримок.

### 3.2.1.3. Параметри швидкості дії та енергоспоживання

Логічний елемент навіть за ідеальної форми вхідного сигналу реагує на його зміни не миттєво, а з певною затримкою. Крім того, якщо вхідний сигнал змінюється надто часто, то вихідний може не встигати змінюватися в допустимих межах напруги. Цей процес характеризують **параметри швидкості дії** цифрової ІМС:

*максимальна частота перемикання*,  $F_{max}$  – найбільша частота зміни значення вхідного сигналу, за якої вихідний сигнал ІМС ще встигає змінюватись у межах нормальних логічних рівнів;

*середня затримка поширення сигналу* через елемент  $t_{зпс}$ , яка визначається середнім терміном затримки перемикання виходу зі стану «0» в «1» та з «1» в «0» –  $t_3^{0/1}$  і  $t_3^{1/0}$  (рис. 3.2.4):

$$t_{зпс} = \frac{(t_3^{0/1} + t_3^{1/0})}{2}.$$

Зважаючи на це, ЛЕ можна розглядати як поєднання відповідного безінерційного вузла та елемента затримки сигналу (рис. 3.2.5).

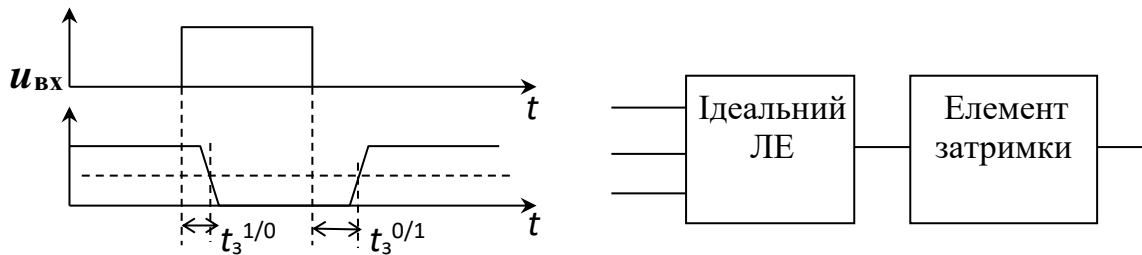


Рис. 3.2.5. Часова модель ЛЕ

Зазначений процес призводить до низки негативних наслідків у роботі ІМС. Зокрема, сигнали в розгалуженій структурі вузла затримуються на різний термін і, відповідно, надходять до елементів не одночасно, навіть у разі одномоментної їх зміни на входах пристрою. Тому внаслідок *перегонів сигналів* на виходах вузла після зміни вхідних сигналів деякий час можуть виникати хаотичні зміни – перехідний процес, що є небажаним явищем.

Важливими параметрами інтегральних мікросхем є **параметри їх енергоспоживання**:

- номінальна напруга живлення,  $U_{ж}$  ( $U_{cc}$ ) та її діапазон,  $U_{ж\ min}$ ,  $U_{ж\ max}$ ;
- струм живлення,  $I_{ж}$  (або  $I_{cc}$ ). Останній залежить від частоти зміни вихідного сигналу елемента. Тому в документації наводять *максимальний струм живлення*  $I_{ж\ м}$  (ЛЕ без навантаження);
- *робота перемикання*,  $A_{пер}$  – це узагальнений параметр якості побудови логічних елементів ІМС, що визначається як добуток потужності, що споживається за максимальної частоти перемикання, на середню затримку розповсюдження сигналу:

$$A_{\text{п\ddot{a}}\text{d}} = U_{\text{ae}} \cdot I_{\text{ae}\ \text{i}} \cdot t_{\text{c}\ \text{d}\ \text{п}},$$

тобто кращою є та технологія, що має найменшу величину  $A_{пер}$ .

Конкретне значення параметрів цифрових ІМС залежить від їх схмотехнічної побудови та технологічної реалізації. Далі розглядаються питання схмотехнічної побудови ЛЕ основних технологій, що є важливим для вибору компонентної бази пристроїв.

### 3.2.2. Базові елементи ДТЛ- і ТТЛ(Ш)-технологій

#### 3.2.2.1. Принципи побудови логічних елементів ДТЛ та ТТЛ

Слід зазначити, що оскільки, згідно з п. 3.1.3.2, все різноманіття цифрових вузлів можна створити на основі елементів одного базового типу: «І-Не» чи «Або-Не», то саме їх побудова є основою вибору схмотехніки цифрових мікросхем.

Доцільно зауважити, що в більшості технологій довільний логічний елемент складається з двох частин: вхідного вузла та вихідного. При цьому вхідний вузол забезпечує виконання логічної функції

(«І» чи «Або»), усуває взаємний вплив джерел вхідних сигналів та визначає більшість вхідних параметрів елемента, а вихідний вузол забезпечує відповідні значення сигнальної напруги й навантажувальну спроможність.

Пошук оптимальної схемотехнічної основи ЛЕ почався, коли ІМС виготовляли за гібридною технологією з використанням мінімуму біполярних транзисторів та інших елементів. На сьогодні використовуються різноманітні напівпровідникові технології.

**Вхідний вузол елемента на діодах.** Структуру такого вузла показано на рис. 3.2.6. У цій структурі всі діоди вузла отримують живлення разом через резистор  $R_1$ . Ряд діодів, обернених катодами у бік входів ( $VD_{1a}$ ,  $VD_{1b}$ , а може і більше), призначені для аналізу вхідних сигналів та уникнення зв'язків їх джерел – інших ЛЕ. Зокрема, якщо хоч одне джерело сформує сигнал нульового рівня, наприклад  $x_2 = 0$ , то відповідний діод відкривається, спрямовуючи струм резистора  $R_1$  у бік цього джерела сигналу.

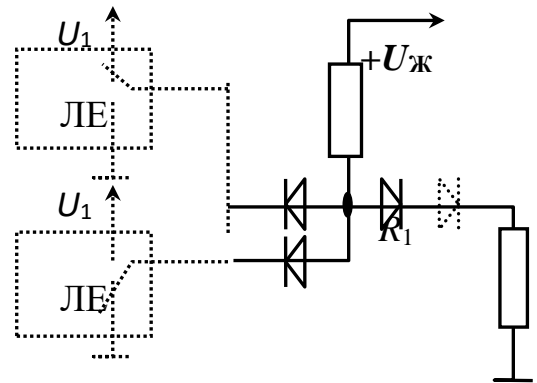


Рис. 3.2.6. Вхідний вузол елемента ДТЛ

При цьому потенціал об'єднаних анодів діодів (точка  $A$ ) відрізняється від вхідного  $U^0$  незначним спадом напруги на відкритому діоді  $U_d$  (для кремнієвих діодів близько  $0,7 B$ ), а тому виявляється низьким:

$$U_a(u_{вх} = U^0) = U^0 + U_d < 1 B.$$

Діод  $VD_2$  або декілька діодів, з'єднаних послідовно, призначені для отримання заданого порогу нечутливості елемента щодо вхідних сигналів вузла – у підсумку параметра  $U_{пер}$ . Так, за низького потенціалу точки  $A$  відповідна напруга спадає на діоді  $VD_2$  і не надходить до навантаження вузла (умовно показано  $R_H$ ) – отримується логічне значення «0». Якщо ж на всі входи одночасно надходять високі потенціали (рівні  $U^1$ ), то вхідні діоди закриваються, а струм через резистор  $R_1$  та діод  $VD_2$  надходить до навантаження – отримується логічне значення «1». Отже, вхідний вузол розглянутого елемента виконує операцію «І».

Можна помітити, що *вхідний струм елемента істотний тільки у стані входу «0»*, причому

$$I_{вх}^0 = \frac{(U_{ж} - U_d - U^0)}{R_1},$$

а в стані входу «1» вхідний струм майже відсутній, оскільки відповідний вхідний діод закритий. Однак при цьому відкривається діод  $VD_2$ , і струм через нього протікає до навантаження – вихідного вузла. Оскільки кожен діод  $VD_2$  для відкриття потребує певного спаду напруги, то їх кількість впливає

на величину порогової напруги нуля  $U_{п0}$  – до тих пір, поки не спрацює вихідний вузол.

**Найпростіший варіант вихідного вузла ЛЕ** – це використання одного каскаду на біполярному транзисторі в ключовому режимі роботи (рис. 3.2.7). При цьому, якщо згідно з розглянутим принципом вхідний вузол формує значення «0», то транзистор  $VT$  виявляється закритим, а тому напруга живлення через колекторний резистор  $R_3$  видається на вихід, як рівень  $U^1$ .

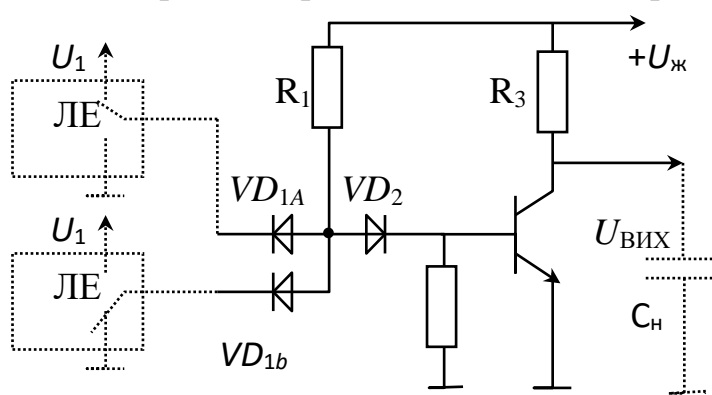


Рис. 3.2.7. Найпростіший елемент ДТЛ

І, навпаки, якщо на всіх входах елемента рівні  $U^1$ , то вхідний вузол створює струм бази транзистора  $VT$ , переводячи його в стан насичення, коли колектор фактично замикається з емітером – напруга на виході майже відсутня (значення  $U^0$ ). Тому цей елемент – «І-Не».

Виходячи з того, що вхідний вузол елемента побудовано на основі діодів, а вихідний – транзистора, подібну схемотехніку назвали *діодно-транзисторною логікою* (ДТЛ). Однак розглянутий варіант ЛЕ має принциповий недолік – обмеження навантажувальної спроможності в стані «1», що істотно для швидкості встановлення рівня  $U^1$ . Остання стримується процесом заряду паразитної ємності навантаження ( $C_n$ ) через резистор  $R_3$ . Слід зазначити, що мале значення його опору недоцільне, оскільки у стані виходу «0» до цього резистора прикладена вся напруга живлення, і відповідна потужність виділяється у вигляді тепла. Тому подібні ІМС не могли відзначатися ні економічністю енергоспоживання, ні швидкістю дії.

З переходом від гібридної до напівпровідникових технологій виробництва ІМС побудова вихідного каскаду ДТЛ було вдосконалено за схемою *складного інвертора*. Згодом деякі зміни торкнулися також вхідного вузла: *p-n*-переходи діодів  $VD_1$  та  $VD_2$  припинили ізолювати і з них утворилися транзистори з об'єднаними базами й колекторами (рис. 3.2.8). Ці транзистори називаються **багатоємітерними** (БЕТ) та мають спеціальне позначення (рис. 3.2.9).

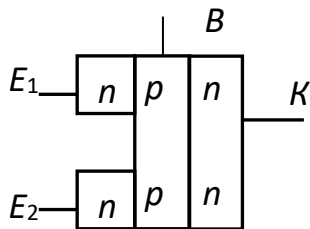


Рис. 3.2.8. Структура багатоємітерного транзистора

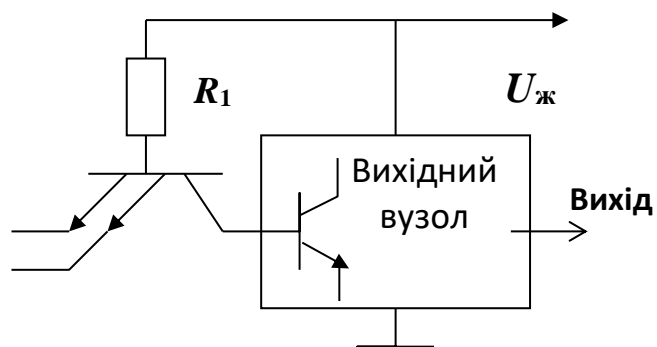


Рис. 3.2.9. Вмикання БЕТ у ЛЕ



Поєднання БЕТ і вихідного вузла типу «складний інвертор» становить основу елементів *транзисторно-транзисторної логіки* – так звані *ТТЛ-технології*. Дія вхідного вузла на БЕТ дещо відрізняється від діодного. По-перше, з появою низького потенціалу ( $U^0$ ) хоч би на одному із входів базовий струм БЕТ протікає на цей вхід та переводить відповідну частину БЕТ у стан насичення.

Завдяки цьому потенціал відповідного входу передається безпосередньо в колектор БЕТ, а далі в базу першого транзистора вихідного вузла. Це покращує передачу зміни вхідного сигналу на вихідний вузол і прискорює його перемикання. По-друге, неістотна відмітність полягає у наявності помітного вхідного струму елемента в стані входу «1», коли на всіх входах присутні сигнали  $U^1$ . Причина в тому, що коли потенціали емітерів БЕТ вищі від потенціалу його колектора, то базовий струм протікає по колу колектора (у базу транзистора вихідного вузла), а сам БЕТ виявляється в інверсному активному режимі з невеликою передачею базового струму в кола емітерів.

Загалом, у разі зміни вхідної напруги елемента від  $U^0$  до  $U^1$  струм  $I_{вх}$  буде значним лише до моменту перемикання струму через  $R_1$  в коло транзистора вихідного каскаду, тобто до напруги  $u_{вх} < U_{пер}$ . Це відображає *вхідна характеристика елемента*

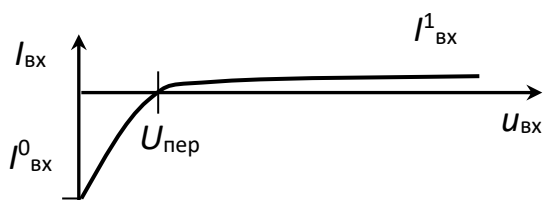


Рис. 3.2.10. Вхідна характеристика ЛЕ

*характеристика елемента* (рис. 3.2.10) – залежність вхідного струму  $I_{вх}$  від вхідної напруги. Тому для *ДТЛ-і ТТЛ-елементів обрив вхідного кола еквівалентний значенню сигналу «1»*. З цієї причини активним рівнем багатьох

сигналів керування цифровими вузлами вибирається  $U^0$ . Такі сигнали прийнято позначати з індексом «#», наприклад  $EN_{\#}$  – позначення сигналу дозволу роботи вузла. При цьому відповідний вхід позначається з колом, подібно до інверсії.

### 3.2.2.2. Логічні елементи ТТЛ зі стандартним виходом

Для покращання вихідних параметрів елементів ДТЛ- та ТТЛ-технологій набули поширення вихідні каскади типу «складний інвертор», причому в декількох модифікаціях.

Найпростіший варіант базового елемента ТТЛ з подібним вихідним каскадом показано на рис. 3.2.11. У цій схемі діоди  $VD_{1a,b}$  захищають входи від негативного потенціалу, на що елемент не розрахований. До речі, це можливо також внаслідок спотворення сигналу на лінії з'єднання.

**Вихідний вузол ТТЛ** складається з парафазного каскаду на транзисторі  $VT_2$ , емітерного повторювача на  $VT_3$  та ключа на  $VT_4$ . Парафазний каскад керується струмом вхідного вузла (на багатоемітерному транзисторі  $VT_1$ ). За умови, що на всіх входах елемента високі рівні ( $x_1 = x_2 = 1$ ), струм через резистор  $R_1$  та через перехід база-колектор  $VT_1$  втікає у базу  $VT_2$ , підтримуючи цей

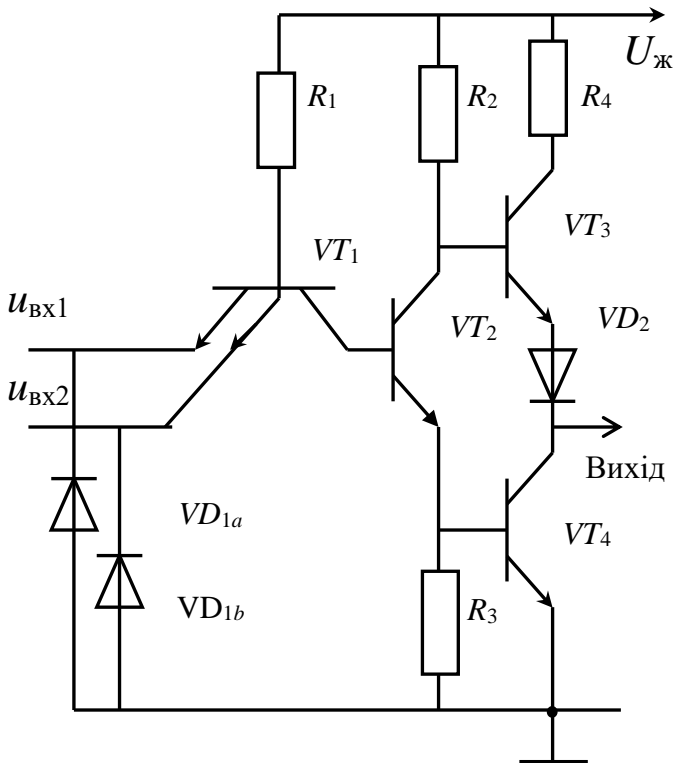


Рис. 3.2.11. Базовий елемент ТТЛ

транзистор у насиченні.

Емітерний струм останнього втікає в базу транзистора  $VT_4$ . При цьому останній повинен бути в насиченні, щоб отримати на виході рівень  $U^0$  – зазвичай не більше 0,1 В. Навантажувальна спроможність у стані виходу «0» визначається таким струмом  $I_{\text{вих м}}^0$ , за якого напруга  $U_{\text{вих max}}^0$  не перевищує 0,4 В.

Принципово важливо, щоб, коли транзистор  $VT_4$  перебуває у насиченні, одночасно струм у колі транзистора  $VT_3$  не протікає. І дійсно, потенціалу колектора  $VT_2$ , що складається з напруг переходів база-емітер  $VT_4$  (до 1 В) та колектор-емітер  $VT_2$  (до 0,1 В), не вистачає для відкриття двох  $p-n$ -переходів: базового  $VT_3$  та додаткового діода  $VD_2$  (саме для цього в даній структурі він і застосований).

Коли транзистор  $VT_2$  закритий ( $x_1 = 0$  або  $x_2 = 0$ ), то одночасно закритий і ключовий транзистор  $VT_4$ . Тоді на вихід елемента подається напруга з колектора  $VT_2$  через емітерний повторювач  $VT_3$  та діод  $VD_2$  – отримується рівень логічної одиниці, тобто загалом логічний елемент виконує операцію «І-Не».

Резистор  $R_4$ , у порівнянні з іншими, має невеликий опір, оскільки призначений для обмеження струму через транзистор  $VT_3$  при перемиканні станів вихідних транзисторів, коли вони виявляються одночасно відкритими. Фактично, цей резистор визначає навантажувальну спроможність елемента в стані виходу «1».

У разі незначного навантаження напруга  $U^1_{\text{вих}}$  утворюється внаслідок передачі напруги живлення через резистор  $R_2$ , перехід база-емітер  $VT_3$  та діод  $VD_2$ . Внаслідок спаду напруги на цих елементах, за номінальної напруги живлення  $U_{\text{ж}} = 5 \text{ В}$ , на виході утворюється рівень  $U^1_{\text{вих}} < 3,6 \text{ В} < U_{\text{ж}}$ . Це є істотним недоліком технології, що розглядається, оскільки знижує завадостійкість відносно потенційної – з огляду на рівень напруги живлення  $U_{\text{ж}} = 5 \text{ В}$ .

Зі зростанням струму через навантаження  $I^1_{\text{вих}}$  зростає струм транзистора  $VT_3$ , який, головним чином, протікає через резистор  $R_3$ , збільшуються втрати напруги на ньому, а тому транзистор  $VT_3$  переходить у насичення. При цьому вихідна напруга зменшується, адже

$$U^1_{\text{вих}} = U_{\text{ж}} - R_4 \cdot I_{\text{вих}} - U_{\text{кез}} - U_{\text{д}}.$$

За максимально допустимого навантаження ця напруга не повинна бути меншою  $U^1_{\text{мін}} = 2,4 \text{ В}$ . Відповідно, оптимальне значення напруги перемикання елемента повинно становити

$$U_{\text{пер}} \approx \frac{(U^1_{\text{вих мін}} + U^0_{\text{вих макс}})}{2} = \frac{(2,4 + 0,4)}{2} = 1,4 \text{ В}.$$

Саме такий рівень  $U_{\text{пер}}$  забезпечується внаслідок послідовного вмикання у вихідному вузлі базових переходів  $VT_2$  і  $VT_4$  – через що і вибрано обмеження  $U^1_{\text{вих мін}} = 2,4 \text{ В}$ .

Елемент ТТЛ з функцією «Або-Не» утворюється з попереднього завдяки об'єднанню декількох вхідних вузлів, причому їх транзистори  $VT_{2,a,b}$  вмикаються паралельно (рис. 3.2.12).

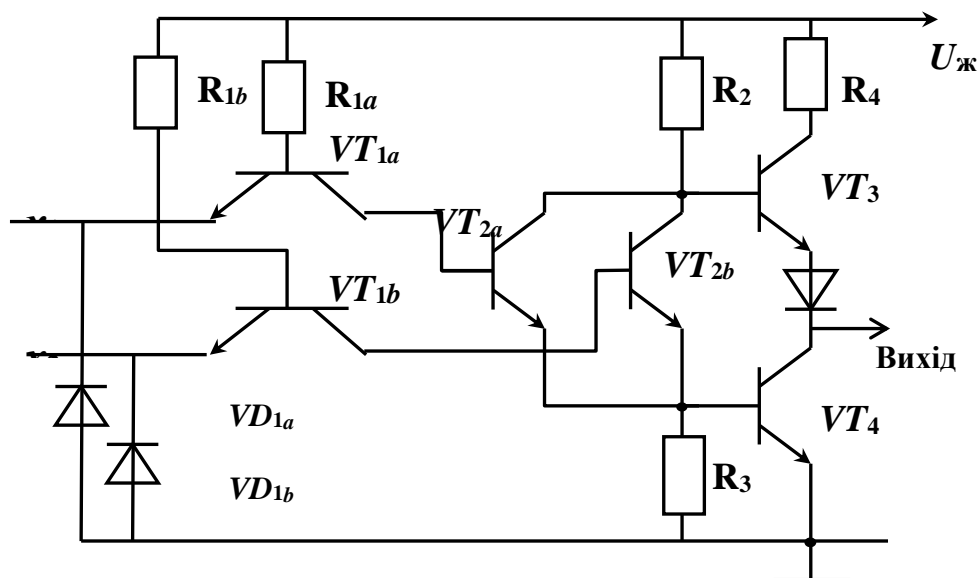


Рис. 3.2.12. Схема елемента ТТЛ з логікою «Або-Не»

Елементи ТТЛ, що не інвертують («І» та «Або»), відрізняються застосуванням додаткового каскаду інвертування (як на  $VT_2$ ). Тому вони створюють більшу затримку сигналу. У деяких ІМС у вихідному емітерному повторювачі використовується складовий транзистор, що сприяє підвищенню

навантажувальної спроможності. Для таких елементів може застосовуватися позначення «>».

### 3.2.2.3. Особливості логічних елементів ТТЛШ-технологій

За розглянутою схемотехнікою випускалася низка серій ІМС (табл. 3.2.1), які поділяються на три групи: стандартні, малопотужні (L) та підвищеної швидкості дії (H). Кожна з них має дві підгрупи за сферою застосування: спеціальну (промислову) та широкого призначення (комерційну). У більшості зарубіжних країн прийняте числове позначення типів ІМС, зокрема такі підгрупи можуть позначатися як 54 та 74. Тоді групи ІМС позначаються як 54/74, 54L/74L та 54H/74H відповідно. Групи ІМС широкого призначення в СНД маркуються префіксом «К». Їх корпуси здебільшого пластмасові типу *DIP*, у той час, як для спеціального застосування частіше використовуються металокерамічні з планарним розташуванням виводів. Мікросхеми у вказаних групах мають помірні, як на теперішній час, параметри швидкості дії та істотно різняться енергоспоживанням через різний опір резисторів, причому у групі 54H/74H цей параметр є критично великим. Тому технологія ТТЛ потребувала вдосконалення.

Таблиця 3.2.1

Групи ІМС ТТЛ	Малопотужні 54L/74L	Стандартні 54/74	Прискорені 54H/74H
Серії	134,136/К158	133/К155	130/К131
$F_{\max}$	3 МГц	10 МГц	30 МГц
$R_{н.\min}$	2 кОм	470 Ом	280 Ом
$I_{вх.0.м}$	-0,2 мА	-1,5 мА	-2,4 мА
$t_{з\ p\ c}$	100 нс	20 нс	10 нс
$P_{ж/ел}$	2 мВт	22 мВт	44 мВт

Для прискорення роботи цифрових ІМС на біполярних транзисторах і зменшення енергетичних витрат використовують такі засоби:

– обмеження базових струмів транзисторів завдяки зворотному зв'язку колектор-база через діод Шотткі, що виключає глибоке насичення транзисторів;

– створення з діодів Шотткі кіл прискореного витікання зарядів із баз ключових транзисторів у бік джерела вхідного сигналу;

– обмеження напруги між базою та емітером вихідного ключового транзистора внаслідок вмикання каскаду з нелінійним опором.

Крім того, у деяких серіях ІМС зменшено вхідні струми та ємність внаслідок застосування вхідних емітерних повторювачів, зокрема на транзисторах структури *p-n-p*

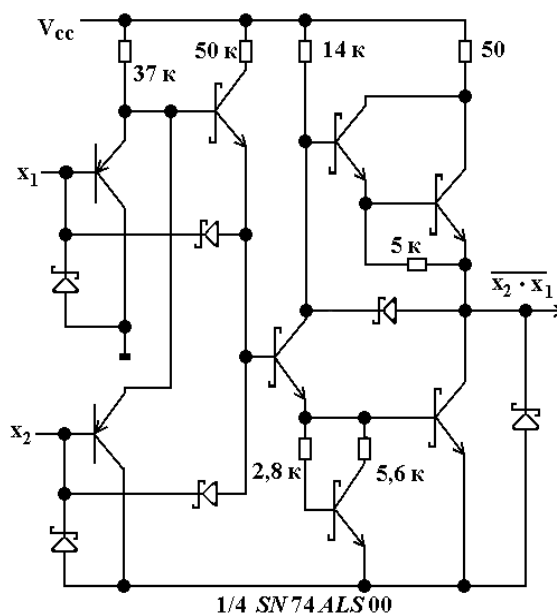


Рис. 3.2.13. Схема елемента мікросхеми (рис. 3.2.13). Така побудова ЛЕ становить основу ряду ТТЛ-технологій з діодами Шотткі (ТТЛШ), що мають істотно кращі основні електричні параметри (табл. 3.2.2). Мікросхеми наведених у даному випадку серій з однаковим функціональним позначенням мають тотожну логічну структуру й розташування виводів, що дозволяє здійснювати їх взаємну заміну.

Таблиця 3.2.2

Групи ІМС ТТЛШ	Стандартні 54/74 LS	Прискорені 54/74S	Малопотужні 54/74 ALS	Удосконалені 54/74AS
Серії	533/K555	530/K531	1533/K1533	1530/K1530
$F_{\max}$	15 МГц	50 МГц	50 МГц	100 МГц
$R_{н. \min}$	470 Ом	280 Ом	2 кОм	280 Ом
$I_{вх.0.м}$	-0,4 мА	-2 мА	-0,2 мА	-2,4 мА
$t_{зр с}$	10 нс	4,5 нс	4,5 нс	2,5 нс
$P_{ж/ел}$	2 мВт	19 мВт	1 мВт	19 мВт

Подальше вдосконалення мікросхем ТТЛШ дозволило досягти більшої швидкості дії за технологією FAST (групи 54F/74F), у якій максимальна частота перемикання досягає одиниць гігагерц. Дещо подібну побудову мають мікросхеми серії 1531. Однак ця серія поки має не такий широкий функціональний склад, як попередні.

При виборі мікросхем ТТЛШ-технологій рекомендується по можливості спиратися на ІМС серії 1533 або K555, інакше – 1530 чи 1531.

### 3.2.2.4. Типи виходів мікросхем ТТЛШ

Широке застосування ІМС ТТЛШ-технологій у різноманітних варіантах їх навантаження спонукало до розробки не тільки стандартних, але й спеціальних типів вихідних вузлів.

**Вихід типу «відкритий колектор».** При керуванні цифровою ІМС із нестандартним навантаженням (реле, елементами індикації та іншими подібними пристроями з підвищеною напругою живлення) між ними необхідно використовувати додатковий ключовий транзистор. Щоб цього уникнути, існують ІМС із спеціальним виходом «відкритий колектор». На відміну від стандартного такий вихідний вузол подібний до однополюсного вимикача (рис. 3.2.14, а). Тобто за своєю дією він відрізняється від стандартного тим, що замість стану «1» у ньому виникає стан високого опору (позначено «Z») – розрив вихідного кола. Вихідний вузол у стані «Z» напругу не створює.

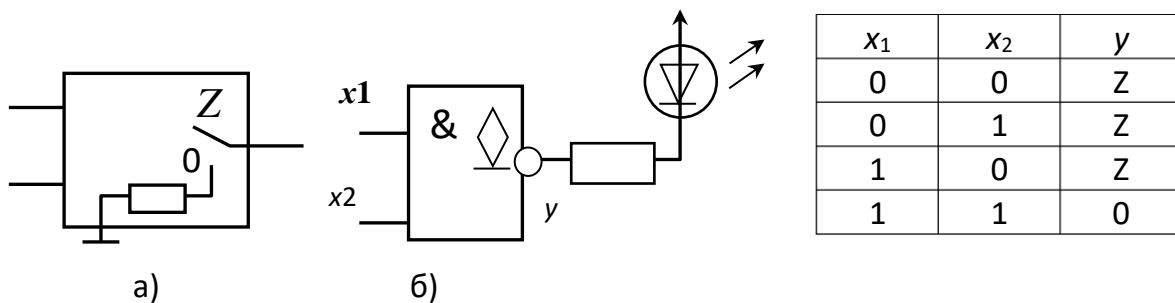


Рис. 3.2.14. Модель (а), приклад використання (б) і таблиця логіки елемента з виходом «відкритий колектор»

Наприклад, світлодіод з елементом «І-Не» частіше вмикається, як показано на рис. 3.2.14, б. При цьому діод світиться тільки в разі наявності на всіх входах елемента сигнальних рівнів «1».

Структура вихідного вузла типу «відкритий колектор» відрізняється від стандартного лише відсутністю емітерного повторювача (рис. 3.2.15). Тому, коли вихід стандартного елемента повинен бути у стані «1», відповідно, ключовий транзистор  $VT_3$  закритий, то зникає шлях протікання струму через вивід виходу. При цьому потенціал останнього визначається зовнішнім колом, що під'єднане до нього.

Важливо, що більшість ІМС з виходами «відкритий колектор» у стані «Z» допускають значну напругу з боку навантаження (деякі – 100 В). Крім того, виходи елементів такого типу можна з'єднувати між собою – тоді стан «Z»

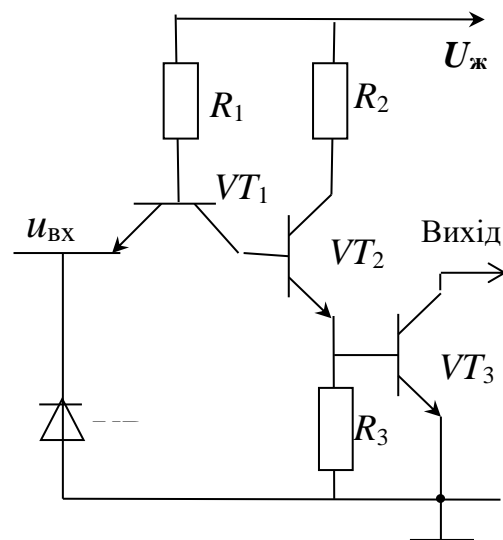


Рис. 3.2.15. Інвертор із виходом «відкритий колектор»

об'єднаних виходів може бути лише за умови, що кожен з них у стані «Z». Це можна використовувати також в логічних вузлах для утворення «монтажного I» (рис. 3.2.16). Тоді об'єднані виходи навантажують до джерела живлення через резистор, що забезпечує замість стану «Z» рівень напруги  $U_{ж}$ .

**Вихід «з трьома станами».** У багатьох випадках, особливо у мікропроцесорних пристроях, до лінії передачі інформації (магістралі) доводиться під'єднувати декілька джерел інформації та керувати вибором того, що буде її передавати. Тоді вибраний елемент повинен мати вихід в активному стані – формувати рівні  $U^0$  або  $U^1$ , а інші потрібно вимкнути – перевести до стану «Z». Звичайні стандартні елементи для цього застосувати неможливо, а елементи з виходом «відкритий колектор» недоцільні через труднощі передачі «1». Тому, розроблені та широко використовуються спеціальні вихідні вузли з трьома станами: «0», «1» та «Z». Це немов би стандартний вихід, але такий, що додатковимикається. Відповідно, серед входів ІМС

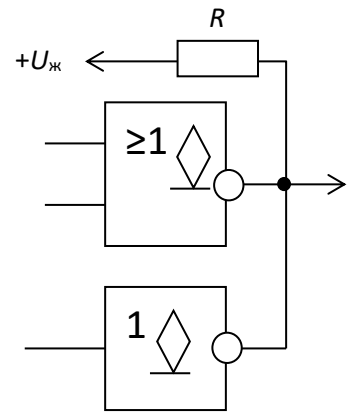


Рис.3.2.16. Монтажне «I»

для вмикання й вимикання її виходу повинен бути ще один: дозвіл видачі  $OE$  – *OutputEnable* (іноді цей вхід позначається як  $EN \blacktriangledown$  або  $EZ$  – дозвіл стану «Z»). Активне значення сигналу  $OE$ , зазвичай, є «0». Тому це позначається подібно до інвертування на зображенні такого входу та знаком «#» – у позначенні вхідного сигналу  $OE\#$ . Ознакою наявності у вузлі виходу з трьома станами є трикутник з вершиною донизу (рис. 3.2.17, б), або ромб з рискою посередині.

Дію подібного вихідного вузла ілюструє еквівалентна схема на рис. 3.2.17, а. При цьому вихідний сигнал «1» або «0» визначається основною функцією елемента (у даному випадку «I-Не»). Однак цей результат потрапляє на вихід тільки за наявності активного значення сигналу  $OE\#$ . Інакше вихідне коло розімкнуте – стан «Z».

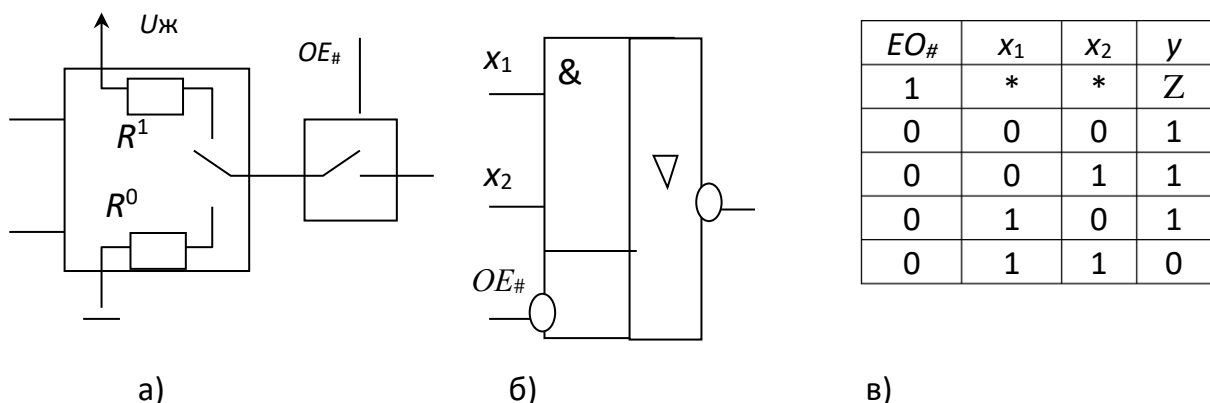


Рис. 3.2.17. Модель (а), приклад (б) і таблиця логіки (в) елемента «із трьома станами»

Відомі два варіанти схемотехнічної реалізації вихідного вузла логічного елемента «із трьома станами». Традиційний варіант ілюструє рис. 3.2.18. Цей елемент складається зі звичайного ЛЕ типу «І-Не» та інвертора з виходом типу «відкритий колектор», причому останній під'єднаний до одного з входів елемента «І-Не» та через діод – до бази його емітерного повторювача.

Однак розглянутий варіант побудови елемента з трьома станами виходу характеризується більшим енергоспоживанням у пасивному стані «Z», ніж в активних. Тому розроблено інший варіант вимикання вихідних транзисторів (рис. 3.2.19) – за допомогою додаткових ключів на польових транзисторах. Вони ввімкнуті у парафазному каскаді (рис. 3.2.18): один ( $VT_a$ ) – послідовно з резистором  $R_2$ , а другий ( $VT_b$ ) – паралельно  $R_3$ . Коли сигнал  $OE_{\#} = 0$ , то перший транзистор відкритий, а другий закритий. Тоді елемент працює як зазвичай. Якщо  $OE_{\#} = 1$ , то транзистор  $VT_a$  закривається, припиняючи живлення базових кіл вихідного каскаду. Одночасно транзистор  $VT_b$ , відкриваючись, сприяє швидшому їх вимиканню. Подібна схемотехніка отримала назву біполярно-польової (*BiCMOS*) і забезпечує в стані «Z» значно менше споживання струму, ніж в активних станах. Прикладом є мікросхеми групи *SN74BCT*.

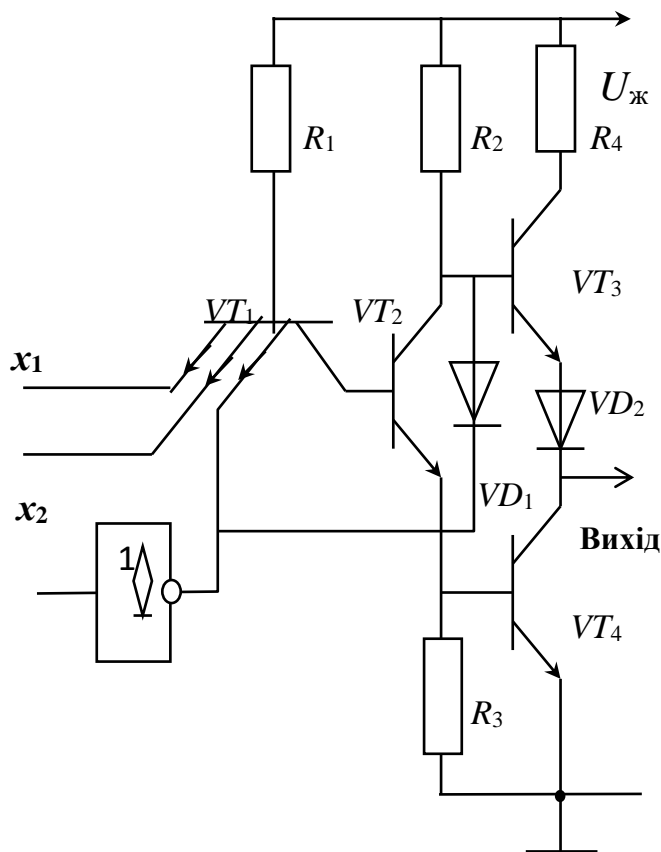


Рис. 3.2.18. Елемент ТТЛ «із трьома станами» виходу

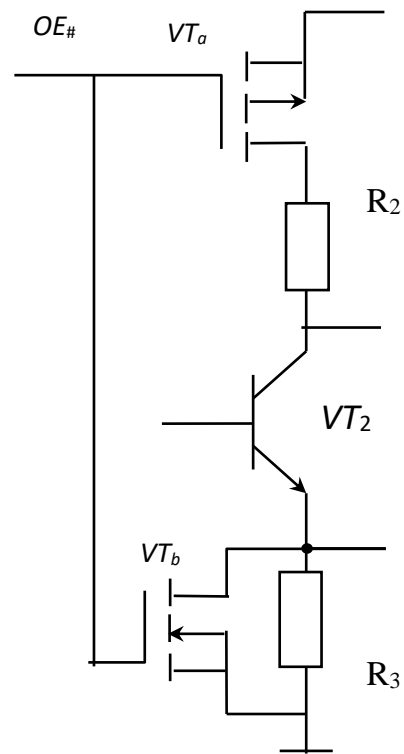


Рис. 3.2.19. Елементи керування *BiCMOS*

Отже, на основі біполярних транзисторів побудовано ряд технологічних різновидів цифрових ІМС ТТЛШ, що відрізняються швидкістю дії та енергоспоживанням, але сумісні за логічними рівнями сигналів. У цих мікросхем



можуть бути три типи виходів: стандартний, відкритий колектор і «з трьома станами», які відрізняються можливою сферою застосування.

### 3.2.3. Базові елементи мікросхем КМОН-технології

#### 3.2.3.1. Побудова та особливості дії логічних елементів КМОН

Із розробкою технологій виготовлення інтегральних польових транзисторів у цифрових ІМС ТТЛШ з'явилися принципово відмітні «конкуренти». Це пов'язано зі складною структурою логічних елементів ТТЛШ (займають багато місця в кристалі) та значними витратами потужності через необхідність безперервного керування біполярними транзисторами. На відміну від них польові транзистори (позначаються МОН, а за кордоном – МОП, MOS) у статичному режимі струму керування не потребують.

Із метою забезпечення роботи мікросхеми від одного джерела живлення в ній бажано використовувати лише польові транзистори з наведеним каналом, оскільки для їх закриття достатньо нульової напруги керування, а відкриваються транзистори, тобто їх вихідне коло (канал) замикається,

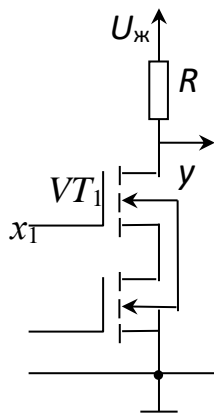


Рис. 3.2.20. Елемент  $n$ -МОН «І-Не»

коли напруга між затвором і витком  $U_{зв}$  перевищує певний пороговий рівень. Важливо, що ця напруга за полярністю збігається з напругою живлення вихідного кола. Істотно, що порогові відкриття польових транзисторів можуть бути низькими – навіть менше 1 В. Це дає змогу створювати мікросхеми з низьковольтним живленням, наприклад  $U_{ж} = 1,5 В$ , що при біполярній технології принципово неможливо.

Важливо, що МОН-транзистори можуть з'єднуватися послідовно. У такому випадку електричне коло замкнене, якщо одночасно відкриті всі ці транзистори. Польові транзистори можуть також з'єднуватися паралельно – тоді електричне коло замкнене, якщо відкритий хоч один із з'єднаних транзисторів. Спираючись на це, можна відповідно втілювати логічні функції «І» та «Або».

Відомі технології цифрових мікросхем на МОН-транзисторах однієї структури (з каналом  $n$ - або  $p$ -типу), а також на комплементарних парах (одночасно обидва типи транзисторів) – КМОН-технологія (КМОП, *CMOS*).

Елемент «І-Не»  $n$ -МОН-технології має будову, як на рис. 3.2.20. У цій схемі поки під дією вхідних сигналів хоч один із транзисторів ( $VT_1$  або  $VT_2$ ) закритий (тобто хоч один сигнал є «0»), то вихід вузла не з'єднаний з лінією нульового потенціалу 0 В, а через опір навантаження  $R$  на вихід проходить напруга живлення – сигнал «1». Коли ж одночасно всі вхідні сигнали високого рівня, то керовані ними транзистори відкриваються, а вихід вузла через них з'єднується з лінією нульового потенціалу. Тому на виході рівень «0». У цей час, на жаль, через елемент протікає наскрізний струм (через опір стокового

навантаження  $R$ ). До речі, замість цих резисторів реально використовують відкриті канали транзисторів, тільки значно більшого опору, ніж у  $VT_1, VT_2$ .

Аналогічна схема елемента  $p$ -МОН технології відрізняється структурою транзисторів та полярністю напруги живлення і вхідних та вихідних сигналів.

Істотним недоліком будови цифрових мікросхем на МОН-транзисторах однієї структури є значні витрати енергії у статичному стані «0» для  $n$ -МОН або «1» для  $p$ -МОН. Тому з метою усунення цього недоліку було розроблено логічні елементи на комплементарних парах польових транзисторів (з різними типами провідності каналів) – КМОН-технології (КМОП, CMOS).

**КМОН ключ-інвертор.** В основі будови логічних елементів цієї технології лежить ключ-інвертор, що складається лише з двох транзисторів (рис. 3.2.21). Додаткові діоди на вході та на виході захищають транзистори від потенціалу за межами полюсів живлення, що може призвести до їх пробую. Надалі ці діоди відображатися не будуть.

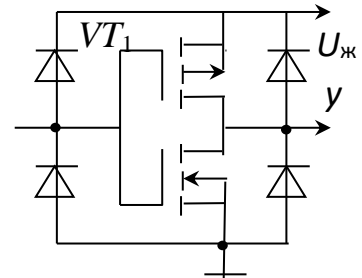


Рис. 3.2.21.  
Інвертор КМОН

Зауважимо, що напруга між затвором та витокком  $u_{зв}$  у транзистора  $VT_2$  дорівнює вхідній, а у  $VT_1$  – становить різницю між вхідною  $u_{вх}$  та напругою живлення  $U_{ж}$ :

$$u_{зв1} = u_{вх} - U_{ж}; \quad u_{зв2} = u_{вх}.$$

Тому для нормальної роботи елемента логічні рівні вхідних сигналів повинні дорівнювати або  $0\text{ В}$ , або напрузі живлення, а остання повинна перевищувати порогові рівні транзисторів.

Важливо, що транзистор  $VT_1$  відкривається негативною напругою  $u_{зв1}$ , а  $VT_2$  – позитивною  $u_{зв2}$ . Тому, коли на вході сигнал «1» ( $u_{вх} = U_{ж}$ ), то напруга  $u_{зв1} = 0$  і транзистор  $VT_1$  закритий, а  $VT_2$  відкритий. Завдяки цьому вихід схеми під'єднується до шини нульового потенціалу, тобто отримується «0». Коли ж на вході  $u_{вх} = 0$ , то, навпаки, напруга  $u_{зв1} = -U_{ж}$ , а  $u_{зв2} = 0$ . Відповідно, транзистор  $VT_1$  відкритий, а  $VT_2$  закритий. Тому вихід елемента виявляється під'єднаним до шини живлення, тобто отримується «1». Важливо зазначити, що в обох станах виходу кола протікання струму через транзистори немає, оскільки один із них завжди закритий. Завдяки цьому логічний елемент КМОН у статичних станах енергію не споживає. Ця обставина є достатньо вагомою для застосування подібних ІМС, особливо в мобільних пристроях з обмеженим запасом енергії.

Логічні елементи «І-Не» та «Або-Не» КМОН-технології утворюються шляхом об'єднання розглянутих ключів-інверторів. Зокрема, елемент «І-Не» будується так, щоб шлях замикання виходу на лінію нульового потенціалу відкривався тільки за всіх високих вхідних рівнів та одночасно закривався шлях проходження напруги живлення на вихід (рис. 3.2.22, а), а елемент «Або-Не» будується за протилежних умов (рис. 3.2.22, б).

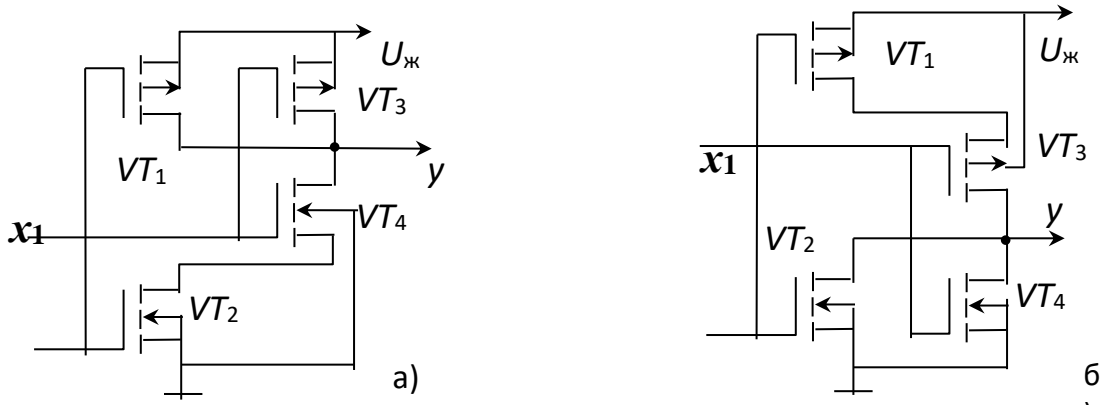


Рис. 3.2.22. Схеми КМОН-елементів «І-Не» (а) та «Або-Не» (б)

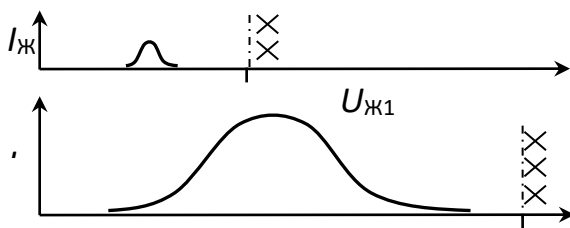


Рис. 3.2.23. Залежність струму живлення елемента КМОН від вхідної напруги

За середньої вхідної напруги, наприклад, в інверторі КМОН (див. рис. 3.2.21) відкриті обидва транзистори і через них протікає наскрізний струм  $I_{ж}$ . Цей струм тим більший, чим більшою є напруга живлення (на рис. 3.2.23  $U_{ж1} < U_{ж2}$ ).

Можна зробити висновок, що подавати середнє значення вхідної напруги на ІМС КМОН тривалий час не можна, особливо за великої напруги живлення, оскільки мікросхема розігріється і з великою ймовірністю стане несправною. Також на відміну від ІМС ТТЛ не можна залишати входи ІМС КМОН незадіяними (з невизначеною напругою на них).

Звичайно, і під час швидкої зміни нормальних значень вхідних сигналів в ІМС будуть виникати короткі імпульси струму живлення  $I_{ж}$ . Частота цих імпульсів струму є подвійною до частоти повторення вхідних сигналів. Пропорційно до неї зростає середній струм живлення та температура нагрівання ІМС. Крім того, імпульси струму викликають стрибки напруги живлення в індуктивності провідників. Із метою нейтралізації їх дій, що можуть призвести до збоїв, як і у випадку ТТЛ(Ш), біля кожної ІМС паралельно до її виводів живлення вмикаються високочастотні блокувальні конденсатори (зазвичай ємність не менше 47 нФ).

Крім розглянутої причини, енергія живлення ще витрачається на заряд паразитних ємностей під час зміни значень сигналів. При цьому доцільно зауважити, що заряд та розряд паразитних ємностей відбувається через опір каналу відповідного відкритого транзистора. Якщо опір каналу високий, то це призводить до сповільнення зміни значень сигналів. Важливо, що ІМС КМОН мають широкий діапазон напруги живлення, причому, якщо канали транзисторів мають більший опір, то цей діапазон ширший. Підвищення напруги живлення ІМС та рівня сигналів призводить до збільшення напруги керування транзисторами  $U_{зв1,2}$ , а тому до зменшення опору їх каналів, підвищення

швидкості дії ІМС та, одночасно, до збільшення струму, що споживається від джерела живлення.

Загалом, відомі на сьогодні мікросхеми КМОН-технології малого та середнього ступенів інтеграції із широким функціональним складом можна поділити на декілька груп (табл. 3.2.3, 3.2.4).

Таблиця 3.2.3

Групи ІМС	CD4000	CD4000A MC14000A	Буферизовані CD4000B MC14000B	Стандартні 54НС/74НС (74НСТ)
Серії	164/К176	564/К561	К1561	К1564
$F_{\max}$	1,5 МГц	3,5...7 МГц	7 МГц	10 МГц
$I_{\text{вих } 0}$	1 мА	1 мА	1 мА	4 мА
$t_{зр с}$	300 нс	60...150 нс	55 нс	7 (12) нс
$U_{ж}$	9 і 3...15 В	3...15 В	3...18 В	2...6 (5) В

Таблиця 3.2.4

Групи ІМС	74АС/ (74АСТ) Very high speed	74VНС/ (74VНСТ) Low noise, very high speed	74LVX/ (74LVQ) Low-voltage	74LCX Low-volt- age	74VCX Very high speed
Серії	К1554/(К1594)	–	–	–	–
$F_{\max}$	125 МГц	–	100 МГц	150 МГц	–
$I_{\text{вих.}0}$	24 мА	8 мА	24 (12) мА	24 мА	6...24 мА
$t_{зр с}$	3 (4) нс	3,6 (8) нс	5 (8) нс	5,5 нс	3,2 нс
$U_{ж}$	2...6 (5) В	2...5,5 (5) В	2,7(2)...3,6 В	2,7...3,6 В	1,8...3,6 В

Стосовно вхідних параметрів КМОН-елементів слід зазначити, що вхідні струми в них майже відсутні, а більш істотно впливає вхідна ємність  $C_{\text{вх}}$ , що частіше становить близько 4 пФ. Напруга перемикання наближається до половини напруги живлення, але рівні вхідних сигналів не повинні відрізнятися від 0 В та  $U_{ж}$  більше, ніж на половину порогового рівня перемикання транзисторів. Тому, за сумісного використання ІМС КМОН- та ТТЛ(Ш)-технологій з однаковим живленням 5 В в останніх доводиться штучно піднімати рівень  $U^1$  шляхом додаткового навантаження їх виходу резистором, під'єднаним до лінії живлення. У деяких ІМС КМОН порогові рівні транзисторів спеціально підібрані для приймання сигналів від ТТЛ(Ш) елементів. Аналогічно адаптовані серії КМОН-мікросхем зарубіжного виробництва наприкінці маркування мають літеру Т.

У розвитку мікросхем КМОН-технології спостерігається тенденція зростання швидкості дії, яка від перших зразків зросла на три порядки. Також слід відзначити наявність ІМС, здатних працювати за підвищеної (15...18 В) та

зниженої (від 1,5 В) напруги живлення. Останнє в технологіях ІМС на біполярних транзисторах майже неможливе.

### 3.2.3.2. Типи виходів КМОН-мікросхем

Завдяки малому енергоспоживанню мікросхеми КМОН-технології набули значного поширення. Це спонукало до розробки для них різноманітних типів вихідних каскадів. Стандартним є розглянутий вихідний каскад типу «ключ-інвертор». Наприклад, у логічних елементах неінвертуючого типу та в буферизованих мікросхемах саме ним завершується будова вузла. При цьому вихідний КМОН-ключ будується з потужніших транзисторів, ніж використані для реалізації внутрішньої структури ІМС.

Аналогом виходу «відкритий колектор» у КМОН-технології є вихідний вузол «відкритий стік». Він відрізняється від КМОН-ключа-інвертора відсутністю верхнього транзистора ( $VT_1$  на рис. 3.2.21), а іноді заміною його резистором порівняно високого опору ( $\approx 10 \text{ кОм}$ ). Такий вихідний каскад застосовується для керування нестандартним навантаженням.

Для передачі сигналу ІМС на спільну магістраль вихід ІМС повинен мати три стани: «0», «1» і «Z». Вимкнути вихідний каскад можна трьома шляхами:

- розірвавши кола живлення ( $U_{\text{ж}}$  та 0 В);
- закривши одночасно обидва вихідні транзистори;
- розірвавши коло лінії виходу.

Перший варіант потребує, щоб послідовно з вихідними транзисторами ( $VT_2$  і  $VT_3$  на рис. 3.2.24) увімкнути ще одну пару ( $VT_1$  і  $VT_4$ ), які відкриваються одночасно сигналом  $OE_{\#} = 0$  та закриваються, якщо  $OE_{\#} = 1$ . Недолік такої будови вихідного каскаду полягає у складності втілення.

Інший варіант вимикання виходу ІМС ґрунтується на використанні однієї пари комплементарних транзисторів, що керуються сигналами, які є наслідком логічного аналізу вхідних:  $x_i$  та  $OE$ . Однак це не сприяє зростанню швидкості поширення інформаційного сигналу  $x$ .

**Вихід типу «двонапрявлений ключ».** Це принципово відмітний тип вихідного вузла, що існує лише в КМОН-технології. Він з'єднує дві сигнальні лінії («А» та «В» на рис. 3.2.25) і має два стани: «увімкнений» та «вимкнений». Частіше такий ключ керується результатом операції у вузлі, на виході якого він стоїть.

Він може використовуватися для досягнення Z-стану звичайних цифрових виходів ІМС, а також існують окремі елементи комутації, що складаються лише з подібних ключів (відповідні ІМС маркуються літерами КТ).

Важливо, що вихідний вузол, який розглядається, може передавати сигнали як від лінії А до В, так і навпаки – від В до А, через що він двонапрявлений. За його допомогою можна здійснювати комутацію сигналів, які за рівнем

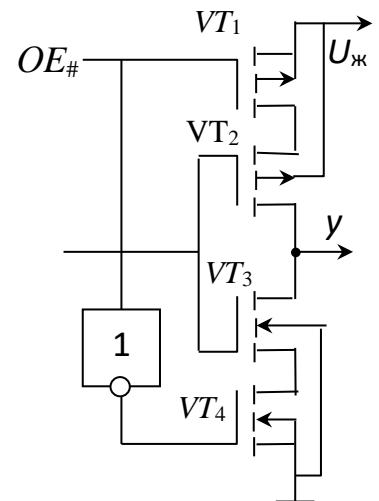


Рис. 3.2.24. Інвертор з трьома станами

перебувають у межах напруги живлення вузла керування, тобто не тільки цифрових, але й аналогових. В останньому випадку вузол керування живлять симетричними напругами від двох джерел.

Двонапрямлений ключ складається з двох комплементарних транзисторів, що з'єднані паралельно й керуються одночасно протифазними сигналами завдяки додатковому інвертору (рис. 3.2.25).

Коли сигнал керування  $EN = 1$ , обидва транзистори відкриті та з'єднують лінії  $A$  і  $B$  через малий опір своїх каналів, інакше – обидва закриті – зв'язку між лініями  $A$  та  $B$  немає. Пара транзисторів різного типу провідності застосована для забезпечення малого опору ввімкненого ключа за довільного рівня сигнальної напруги в межах напруги живлення. Так, коли потенціал на увімкненій лінії  $A-B$  підвищується, то зменшується напруга  $U_{зв1}$ , але збільшується  $U_{зв2}$ , тобто транзистор  $VT_1$  прикривається, а  $VT_2$ , навпаки, зменшує опір свого каналу.

Мікросхеми, що складаються тільки з розглянутих ключів, маркуються в СНД літерами КТ. Деякі з них містять подвійні двонапрямлені ключі – тоді сигнальні лінії  $A$  та  $B$  не еквівалентні, оскільки до однієї з них під'єднаний додатковий ключ, що закорочує лінію на шину  $0 B$  (рис. 3.2.26). При цьому обидва ключі замикаються протифазно, для чого в колі керування застосовано інвертор. Така побудова забезпечує кращий захист від просочування сигналу через закритий ключ.

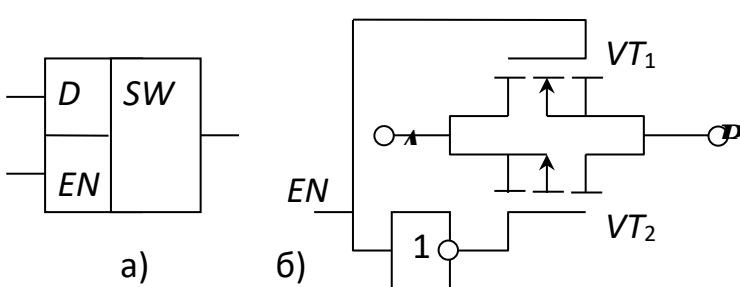


Рис. 3.2.25. Позначення (а) та побудова (б) двонапрямленого КМОН-ключа

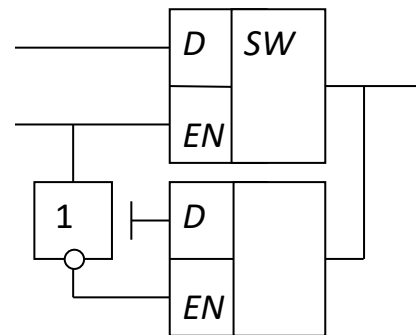


Рис. 3.2.26. Структура одного каналу ІМС К561КТ3

Отже, логічні елементи на комплементарних польових транзисторах відрізняються економічністю енергоспоживання, широким діапазоном напруги живлення та мають всі типові види виходів.

### 3.2.4. Спеціальні технології цифрових мікросхем

#### 3.2.4.1. Принципи побудови логічних елементів ЕЗЛ

Незважаючи на те, що на сьогодні цифрові ІМС ТТЛ(Ш)- та КМОН-технології є основними, у деяких випадках вони не відповідають вимогам за швидкістю дії. Один із напрямків розв'язання цієї проблеми при застосуванні біполярних транзисторів полягає в такій побудові логічного елемента, коли зміна його стану пов'язується з перемиканням кола (напрямку) протікання струму через транзистори, але не призводить до їх насичення. У цьому відношенні класичною є так звана «емітерно-зв'язана логіка» (ЕЗЛ).

Основою логічного елемента ЕЗЛ становить диференційний каскад на парі транзисторів з об'єднаними емітерами (рис. 3.2.27). При цьому база транзистора  $VT_2$  має постійний потенціал від джерела опорної напруги  $U_{оп}$ , що менша за напругу живлення. На базу транзистора  $VT_1$  подається вхідний сигнал  $u_{вх}$ , рівень якого становить або потенціал  $U^1 > U_{оп}$  або  $U^0 < U_{оп}$ .

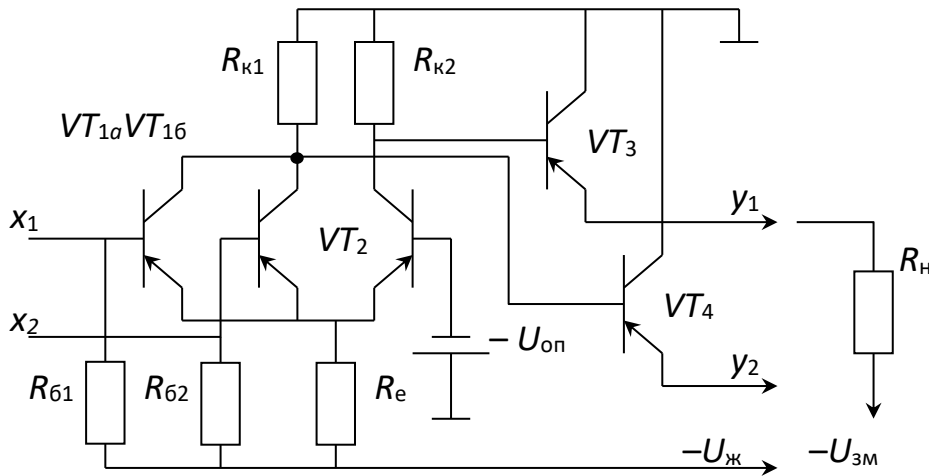


Рис. 3.2.27. Елемент ЕЗЛ типу «Або» / «Або-Не»

Якщо на якомусь з входів діє потенціал  $u_{вх} = U^1 > U_{оп}$ , то відповідний транзистор  $VT_1$  обов'язково відкритий та своїм струмом емітера  $I_{e1}$  утворює на резисторі  $R_e$  такий спад напруги, що потенціал емітерів  $U_{e1,2}$  незначно нижчий за  $u_{вх}$  (різниця близько  $0,7\text{ В}$ ). Оскільки емітери транзисторів об'єднані, то завдяки цьому виявляється, що потенціал бази  $VT_2$  нижчий або наближається до потенціалу його емітера. Тому транзистор  $VT_2$  майже закритий, а колекторний струм протікає лише в транзисторі  $VT_1$ .

Якщо, навпаки, потенціал  $u_{вх} = U^0 < U_{оп}$ , то обов'язково відкритий транзистор  $VT_2$ , який своїм струмом емітера  $I_{e2}$  утворює на резисторі  $R_e$  такий спад напруги, що потенціал емітерів  $U_{e1,2}$  нижчий за  $U_{оп}$  (різниця близько до  $0,7\text{ В}$ ). Завдяки цьому потенціал бази  $VT_1$  нижчий або наближається до потенціалу його емітера. Тому вже транзистор  $VT_1$  майже закритий, а колекторний струм протікає лише в транзисторі  $VT_2$ .

Отже, залежно від значення вхідного сигналу ( $U^0$  чи  $U^1$ ) струм протікає або через резистор  $R_{к1}$ , або  $R_{к2}$ . Відповідно, тільки на одному з них буде спад напруги, а на виходах, як результат роботи елемента, видаються істотно різні потенціали.

Для виконання логічної операції паралельно транзистору  $VT_1$ , ліворуч ( $VT_1$ ), вмикається кілька інших транзисторів ( $VT_{1a, б, \dots}$ ), на бази яких подаються відповідні вхідні сигнали з рівнями  $U^0$  та  $U^1$ . Зрозуміло, що достатньо хоч на один з таких входів подати рівень  $U^1$ , як струм буде перемкнено в коло резистора  $R_{к1}$ , тобто така будова логічного елемента забезпечує виконання операції «Або».

Для передачі вихідних сигналів із забезпеченням потрібної навантажувальної спроможності в ІМС застосовуються емітерні повторювачі ( $VT_{3,4}$ ), що утворюють

один або пару виходів із протилежним значенням сигналів, а в деяких елементах – декілька незалежних рівнозначних виходів.

Використання типових логічних елементів ЕЗЛ-технології має низку особливостей:

1. Заземляється шина живлення не негативного потенціалу « $-U_{ж}$ », а позитивного « $+U_{ж}$ », завдяки чому в такому випадку меншою стає постійна складова вихідної напруги й кращою завадостійкість.

2. Резистори  $R_{к1}$ ,  $R_{к2}$  підбираються такого опору, щоб під час протікання по них колекторного струму відповідного транзистора утворювалася напруга  $U_{rк}$  близько  $1\text{ В}$ . Тому, з урахуванням спаду напруги на переході емітер-база повторювача (тут через значний струм  $U_{бe} \approx 0,8\text{ В}$ ), вихідна напруга елемента буде становити: або  $u_{вих} = -0,8\text{ В}$  (за відсутності колекторного струму), або  $u_{вих} = -1,8\text{ В}$  (якщо цей струм є). Відповідно, логічні рівні вихідних сигналів наближено становлять  $U^1 \approx -0,8\text{ В}$  та  $U^0 \approx -1,8\text{ В}$ . Для забезпечення максимальної завадостійкості напруга перемикання логічного елемента, що дорівнює опорній напрузі  $U_{оп}$ , повинна становити середнє значення між логічними рівнями, тобто  $-1,3\text{ В}$ .

Зазвичай, вхідна напруга стану «0» може бути нижчого потенціалу, ніж  $-1,8\text{ В}$ , але не повинна виходити за межі напруги  $-U_{ж}$ , яка в типових серіях 100, 500 і 1500 становить  $-5,2\text{ В}$ , а в серії 1520  $-4,5\text{ В}$ . Потенціал  $u_{вх}$  стану «1» не повинен перевищувати  $-0,5\text{ В}$ .

3. Логічний елемент може мати пару виходів завдяки двом повторювачам, які дають взаємно інвертовані сигнали, адже вони знімаються з обох резисторів:  $R_{к1}$  та  $R_{к2}$ . Тоді на одному виході функція логічного елемента «Або», а на другому – «Або-Ні» (рис. 3.2.28, а) з двома передавальними характеристиками (рис. 3.2.28, б).

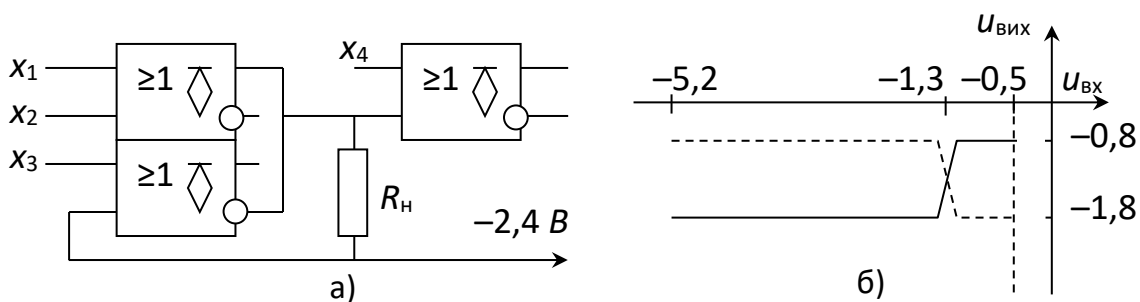


Рис. 3.2.28. Варіант з'єднання (а) і передавальні характеристики (б) елементів К500ЛМ105

4. Навантаження емітерних повторювачів  $R_e$  використовується не всередині ІМС, а ззовні. Це пов'язано з тим, що велика швидкість спрацьовування мікросхем ЕЗЛ потребує якісної передачі сигналів між ними із застосуванням мікросмугових ліній з'єднання. Останні повинні послідовно проходити від виходу ІМС до входів навантажень, а в кінці лінії зв'язку повинен бути активний опір, що дорівнює хвильовому. Саме цю задачу виконує резистор  $R_n$ , якщо він під'єднаний до кінця лінії зв'язку та має відповідний опір. Проте для досягнення більшої швидкості передачі сигналу опір  $R_n$  та хвильовий опір ліній з'єднання



бажано зменшувати (до 40 Ом). Але якщо опір  $R_H$  такий малий, а напруга на ньому значна, то через емітерний повторювач буде протікати великий струм, розігріваючи мікросхему. Тому, резистор навантаження  $R_H$  під'єднують до окремого джерела (називають зміщення)  $U_{зм}$  з меншою напругою, наближеною до  $-2,4 В$ .

5. Розглянутий тип виходу ІМС можна назвати відкритим емітером, оскільки, фактично, сам елемент здатний лише підвищувати потенціал виходу завдяки струму через емітерний повторювач, але немає кіл, що могли б понижувати потенціал виходу, як це зроблено в ТТЛШ- та КМОН-технологіях. Подібний тип виходу позначається, як показано на рис. 3.2.28, а, та допускає об'єднання з аналогічними виходами для роботи на спільну лінію передачі сигналу. В останньому випадку значення «1» створює кожен з об'єднаних виходів елементів, а «0» може бути лише, коли всі вони в стані «0», тобто реалізується «монтажне Або».

Порівнюючи мікросхеми ЕЗЛ-технології з ІМС ТТЛШ, можна зазначити, що значне збільшення швидкості дії досягається завдяки використанню активного режиму роботи відкритих транзисторів, які, звичайно, повинні мати дуже високі граничні частоти. Такі ІМС мають велике споживання енергії, низьку завадостійкість, не сумісні за рівнями вхідних і вихідних сигналів із мікросхемами ТТЛШ- та КМОН-технологій (потребують застосування спеціальних ІМС-перетворювачів рівнів напруги). Корпуси мікросхем ЕЗЛ слід інтенсивно охолоджувати із застосуванням конвекційного способу охолодження та радіаторів, тому такі ІМС на сьогодні застосовуються рідко.

### 3.2.4.2. Принципи побудови мікросхем І<sup>2</sup>Л- технології

Для створення мікросхем високого ступеня інтеграції важливо, щоб логічні елементи були якомога простіші. Зокрема, як зазначалося, операцію «І» можна виконати монтажним об'єднанням виходів інших елементів типу «відкритий колектор». Саме з цих позицій створено інтегральну інжекційну логіку (І<sup>2</sup>Л). Основу таких ІМС складають інвертори з кількома виходами типу «відкритий колектор» (рис. 3.2.29, а). Такі інвертори є поєднанням транзистора структури  $p-n-p$  ( $VT_1$  на рис. 3.2.29, б) та декількох транзисторів структури  $n-p-n$  (там саме  $VT_2$ ).

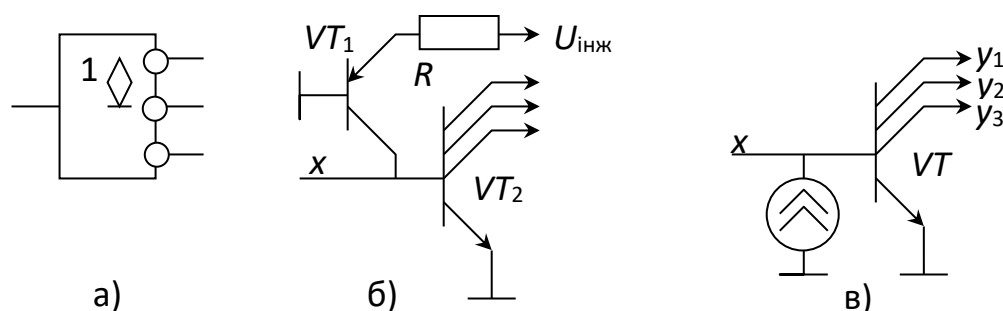


Рис. 3.2.29. Базовий елемент І<sup>2</sup>Л (а), його структура (б) та позначення (в)

Завдяки тому, що в останніх з'єднанні емітери та бази, утворюється особливий тип транзистора – багатоколекторний інжекційний транзистор (БКІТ). Транзистор  $VT_1$  служить для постачання (інжекції) зарядів у базу  $VT_2$ , але так, щоб можна було цьому завадити, закоротивши точку  $x$  на лінію  $0 B$ . Важливо, щоб при цьому не відбулося замикання самоджерела живлення – інжектора  $U_{інж}$ . Для цього транзистор  $VT_1$  увімкнено зі спільною базою. Струм його колектора майже дорівнює струму емітера (інжектора) та є струмом бази складових транзисторів  $VT_2$ , причому забезпечує їх насичення. Тому, коли точка  $x$  не закорочена на  $0 B$ , то всі колектори БКІТ (виходи) з'єднані на  $0 B$ , а якщо точка  $x$  замкнута на  $0 B$ , то виходи елемента розімкнені, оскільки складові транзистори  $VT_2$  закриті.

Цифровий вузол довільного призначення будується з БКІТ шляхом з'єднань між виходами у таких транзисторів та входами  $x$  інших. Наприклад, логічний елемент «Або» (з декількома виходами «відкритий колектор») утворюється, як показано на рис. 3.2.30.

Оскільки елементи мікросхем І<sup>2</sup>Л використовують сигнали, які подані порівняно незначною напругою (між базою та емітером транзистора) та керуються станами джерела «0» і «Z» (наявністю або відсутністю закорочування сигнальної лінії на лінію  $0 B$ ), то їх завадостійкість є дуже низькою. Тому, за такою технологією виготовляється лише внутрішня структура ІМС, а для сполучення із зовнішніми джерелами й приймачами сигналів застосовуються додаткові вузли перетворення логічних рівнів. Частіше такі вузли забезпечують з'єднання ІМС І<sup>2</sup>Л з ТТЛШ, як, наприклад, у серії 541.

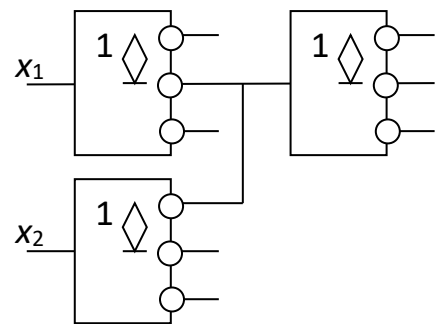


Рис. 3.2.30. Структура елемента «Або» І<sup>2</sup>Л

Отже, існує різноманіття схемотехнічної побудови базових елементів цифрових мікросхем, які істотно відрізняються енергетичними й часовими параметрами. Перспективною компонентною базою цифрових пристроїв можна вважати мікросхеми КМОН-технологій.

### 3.2.5. Функціональні комбінаційні вузли

Під час проектування цифрових пристроїв завжди постає питання вибору компонентної бази, що задовольняла б певні критерії, серед яких конструктивна складність часто є вирішальною. З іншого боку, для електронної промисловості проблемним питанням є перелік типів ІМС, які доцільно випускати, щоб задовольняти вимоги виробників апаратури. Зокрема, всі цифрові пристрої можуть складатися навіть з логічних елементів одного типу «І-Не» чи «Або-Не». Тому в 70-х рр. випускалися переважно ІМС–набори елементів «І-Не». Однак для побудови складних за функціями пристроїв застосовувалось багато мікросхем і, відповідно, з'єднань між ними, що призводило до втрат надійності та швидкості дії пристроїв, до того ж були значними їх габарити та енергоспоживання.

Зменшенню кількості ІМС у пристрої суперечить різноманіття задач, що стоять перед цифровими пристроями, а виготовляти спеціалізовані мікросхеми для кожної задачі недоцільно через надзвичайно високу ціну їх розробки. Тому, основним шляхом побудови цифрових пристроїв є використання різноманітних типових вузлів в інтегральному виконанні. Перелік таких вузлів обумовлений практикою розробки цифрової апаратури й частотою їх повторюваності за призначенням. Нижче ці вузли розглянуто детальніше.

### 3.2.5.1. Комбіновані логічні елементи

Одними з перших інтегральних вузлів після простих логічних елементів було розроблено комбіновані логічні елементи структури «І-Або-Не» та їх інтегральні збірки. Вони виникли як засіб спрощення будови комбінаційного вузла, що виконує логічну функцію виду:

$$y = \overline{x_1 x_2 \dots \vee x_3 x_4 \dots \vee \dots} = (\overline{x_1 \vee x_2 \vee \dots})(\overline{x_3 \vee x_4 \vee \dots}) \dots,$$

тобто ряд кон'юнкцій у цій ІМС об'єднуються диз'юнкцією з інвертуванням результату, що тотожно відповідає еквівалентній формі. Такий елемент формує «0», якщо справедлива хоча б одна з передбачених кон'юнкцій (табл. 3.2.5). В окремих елементах кількість об'єднань по «І» та по «Або» коливається від двох

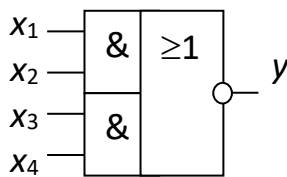


Рис. 3.2.31.  
Комбінований  
елемент

Таблиця 3.2.5

x <sub>4</sub>	x <sub>3</sub>	x <sub>2</sub>	x <sub>1</sub>	y
*	0	*	0	1
*	0	0	*	1
0	*	*	1	1
0	*	0	*	1
*	*	1	1	0
1	1	*	*	0

до чотирьох. Загалом, логічна структура комбінованого елемента визначається виразом функції та виявляється в його умовному зображенні, подібно до рис. 3.2.31. Для даного елемента, а надалі й для інших у таблицях логіки роботи знаком «\*» показано неістотні значення вхідних сигналів («0» або «1»).

У маркуванні мікросхем комбіновані логічні елементи мають ознаку «ЛР». Наприклад, мікросхема К555ЛР1 складається з двох розглянутих елементів. Вона має ще й додаткові виводи, призначені для під'єднання в разі потреби розширювального елемента – спеціальної мікросхеми з маркуванням «ЛД1» (елемента «І», але без вихідного каскаду). Зустрічаються інші комбіновані елементи та їх ІМС.

### 3.2.5.2. Дешифратори

Поширеними й ефективними комбінаційними вузлами для побудови різноманітних пристроїв є **дешифратори** – вузли, що забезпечують перетворення двійкового коду в позиційний (унарний), тобто формують «1» (у випадку інверсних виходів – «0») на тому виході, номер якого збігається зі

значенням вхідного коду керування. Його функція умовно позначається «DC». Відповідно, основною характеристикою дешифраторів є розрядність  $k$  вхідного коду, який позначається як  $S = \{s_k, \dots, s_2, s_1\}$  і визначає кількість виходів. Оскільки значення такого коду може бути від 0 до  $2^k - 1$ , то і рахунок виходів проводиться, починаючи з нуля. На рис. 3.2.32 наведено приклад умовного зображення дворозрядного дешифратора. Вузол має групу входів розрядів двійкового коду керування  $s_1, s_2$ . У додатковому полі ліворуч вказується або вага цих розрядів (1, 2, 4, ...), або степені двійки, що їм відповідають (0, 1, 2, ...). У додатковому полі праворуч позначаються номери виходів, що відповідають значенням коду керування: 0, 1, 2, 3, ...,  $2^k - 1$ . Дія подібного дешифратора ілюструється табл. 3.2.6.

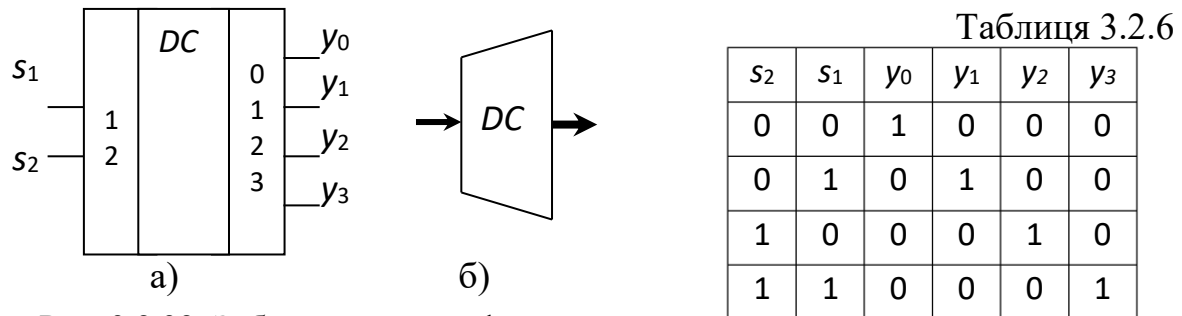


Рис. 3.2.32. Зображення дешифратора на принципових (а) і функціональних схемах(б)

Оскільки кожен вихід дешифратора формує «1» тільки за однієї комбінації вхідних сигналів – розрядів коду  $s_1, s_2, \dots$ , то дешифратор селекує кон'юнктивні терми від вхідних сигналів:

$$y_0 = \overline{S_2} \overline{S_1}; y_1 = \overline{S_2} S_1; y_2 = S_2 \overline{S_1}; y_3 = S_2 S_1.$$

Інтегральні дешифратори, які, до речі, на термах СНД маркуються літерами ИД, дещо відрізняються від розглянутого. По-перше, виходи інтегральних дешифраторів, зазвичай, інвертовані, тобто в таблиці логіки значення сигналів  $y_i$  протилежні: на тому виході, що відповідає коду керування  $S$ , буде активний рівень «0», а на всіх інших – пасивний рівень «1». Тому логічні функції виходів мають додаткове інвертування. По-друге, дешифратори частіше мають додаткові входи дозволу роботи (від одного до трьох) – їх називають *стробувальними* та позначають  $EN$  (*Enable*) (рис. 3.2.33).

Таблиця 3.2.7

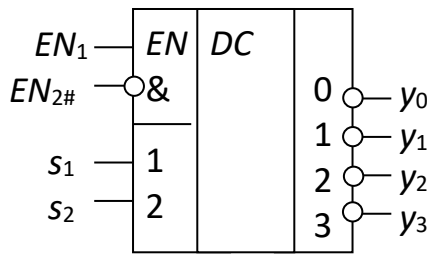


Рис. 3.2.33. Дешифратор зі стробуванням

$EN_1$	$EN_{2\#}$	$S_2$	$S_1$	$y_0$	$y_1$	$y_2$	$y_3$
0	*	*	*	1	1	1	1
1	1	*	*	1	1	1	1
1	0	0	0	0	1	1	1
1	0	0	1	1	0	1	1
1	0	1	0	1	1	0	1
1	0	1	1	1	1	1	0

Такому дешифратору дозволяється створювати активний рівень сигналу на виході тільки за наявності активних значень одночасно всіх сигналів стробування  $EN$ . Частіше це значення «0» – тоді відповідний вхід  $EN$  позначається зі знаком інверсії, а сам сигнал доцільно позначати з позначкою «#».

Функції виходів дешифратора описуються за таблицею логіки, наприклад (табл. 3.2.7):

$$y_1 = \overline{(EN_1 \overline{EN_{2\#}}) S_2 S_1} = \overline{EN_1} \vee EN_{2\#} \vee S_2 \vee \overline{S_1}.$$

Подібні вирази визначають структуру дешифратора (рис. 3.2.34) у вигляді необхідної кількості елементів «І-Не», на які подаються прями або інвертовані значення розрядів вхідного коду  $S$ , а також сигнали стробування  $EN$ .

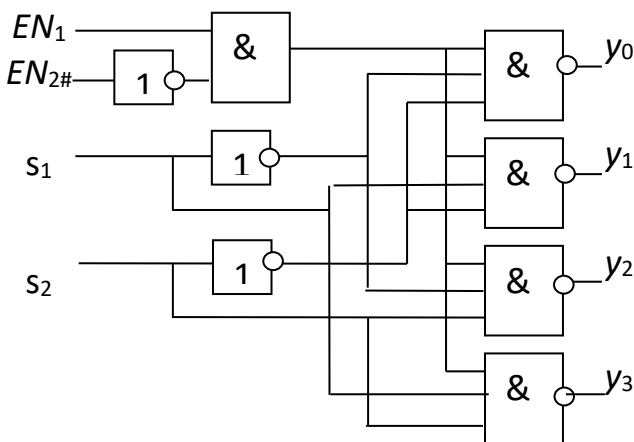


Рис. 3.2.34. Структура дешифратора

(рис. 3.2.35). При цьому два молодші розряди коду однаково надходять на входи керування чотирьох ІМС дешифраторів, а старші – через окремий дешифратор вибирають одну з них. Якщо мікросхеми дешифраторів мають декілька входів стробування, то аналіз старших розрядів коду можна виконати безпосередньо на них, як на елементах «І». При цьому доцільна наявність прямих та інверсних входів  $EN$ .

Призначення останніх двояке. По-перше, вони забезпечують нарощування розрядності дешифратора внаслідок об'єднання відповідної кількості ІМС малої розрядності. Типові інтегральні дешифратори бувають дворозрядні (2 входи на 4 виходи), трирозрядні (3 на 8) та чотирирозрядні (4 на 16). Щоб побудувати, наприклад, чотирирозрядний дешифратор з дворозрядних, їх потрібно п'ять

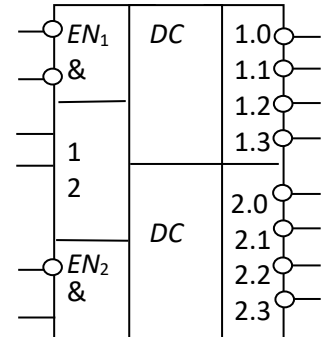


Рис. 3.2.36.  
Дешифратор 555ИД4

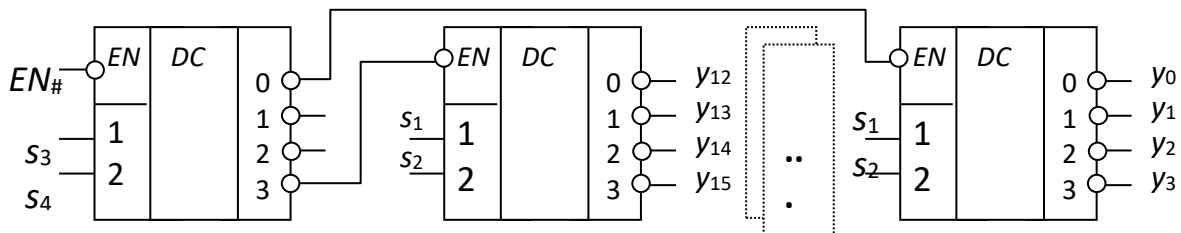


Рис. 3.2.35. Розширення розрядності дешифратора

Номенклатура ІМС дешифраторів досить широка. Так, існують мікросхеми здвоєних дешифраторів, наприклад 555ИД4 (рис. 3.2.36), а деякі мають виходи «відкритий колектор», як К555ИД10. Дешифратор К155ИД1 має спеціальні високовольтні виходи для керування газорозрядними індикаторами.

Загалом, основне призначення дешифраторів – вибір певного об'єкта серед декількох. Однак вони можуть також використовуватися і як основа для реалізації довільного комбінаційного вузла, причому з декількома виходами, якщо кількість вхідних сигналів дорівнює розрядності дешифратора. Цьому сприяє властивість дешифратора

селектувати кон'юнктивні терми від змінних – розрядів коду керування. Тому для виконання певної логічної функції, описаної у ДДНФ, достатньо використати вхідні сигнали вузла як розряди коду керування дешифратором, а далі об'єднати операцією «Або» ті виходи дешифратора, які відповідають необхідним кон'юнктивним термам функції. Звичайно, у випадку дешифратора з інвертованими виходами елементи «Або» повинні мати інверсні входи – за властивостями двоїстості це елементи «І-Не» (рис. 3.2.37).

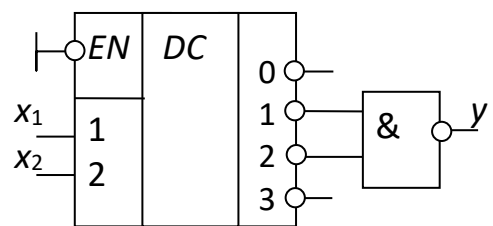


Рис. 3.2.37. Варіант вузла нерівнозначності

### 3.2.5.3. Мультиплексори та демюльтиплексори

**Мультиплексором** називається вузол цифрового пристрою, що виконує комутацію входних сигнальних ліній, причому вибирає ту, номер якої збігається зі значенням коду керування  $S$ . Тому мультиплексори мають групу входів селекції  $SE$ , на які подаються розряди коду керування  $s_i$ , групу входів даних  $D_0, D_1, \dots$  та вхід дозволу (стробування)  $EN$  (рис. 3.2.38). Якщо на вході  $EN$  активний рівень (тут «0»), то на виході у формується сигнал з того входу « $D_j$ », номер якого  $j$  дорівнює значенню коду керування  $S$  (табл. 3.2.8). Відповідно до табл. 3.2.8 логічна функція мультиплексора:

$$y = \overline{EN}_{\#} \cdot (\overline{S_2} \overline{S_1} D_0 \vee \overline{S_2} S_1 D_1 \vee S_2 \overline{S_1} D_2 \vee S_2 S_1 D_3).$$

Таблиця 3.2.8

$EN_{\#}$	$s_2$	$s_1$	$D_3$	$D_2$	$D_1$	$D_0$	$y$
1	*	*	*	*	*	*	0
0	0	0	*	*	*	$x_0$	$x_0$
0	0	1	*	*	$x_1$	*	$x_1$
0	1	0	*	$x_2$	*	*	$x_2$
0	1	1	$x_3$	*	*	*	$x_3$

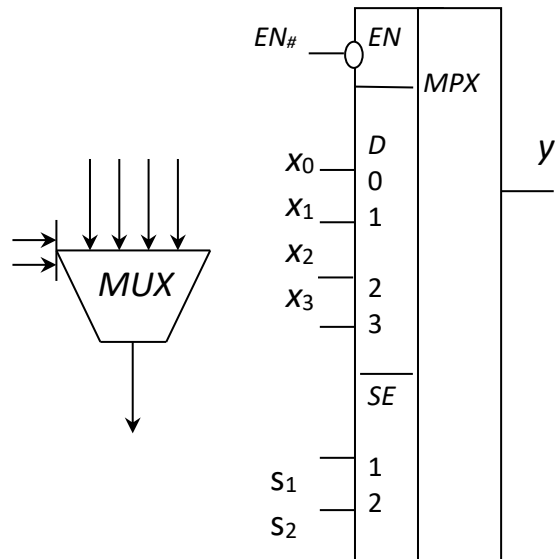


Рис.3.2.38. Зображення мультиплексора

У цьому виразі використані всі комбінації розрядів коду керування, які може виділити дешифратор. Тому, за будовою типовий мультиплексор можна отримати, склавши його з дешифратора й комбінованого логічного елемента згідно з рис. 3.2.39.

Мультиплексори можуть використовуватися не тільки для комутації сигнальних ліній, але й для виконання певної логічної функції із числом змінних, що дорівнює розрядності коду керування. Тоді входні сигнали вузла  $x_1, x_2, \dots$  подаються на входи керування мультиплексора  $s_1, s_2, \dots$ , а на його сигнальні входи  $D_0, D_1, \dots$  – постійні рівні «0» або «1» відповідно до таблиці логіки функції, яку потрібно реалізувати. Для прикладу на рис. 3.2.40 показано вузол із логікою нерівнозначності.

Окремі інтегральні мультиплексори випускаються з розрядністю  $k = 2 \dots 4$ . Ці ІМС у СНД маркуються літерами КП. Вони часто мають виходи з трьома станами – тоді вхід  $EZ_{\#}$  керує вихідними каскадами, як у схемі, наведеній на рис. 3.2.40. Наявність виходу з трьома станами дозволяє нарощувати розрядність мультиплексора шляхом безпосереднього з'єднання виходів декількох ІМС, а їх вибір забезпечується додатковим дешифратором старших розрядів, подібно до

розглянутого на рис. 3.2.35. Мультиплексори можуть бути також багатоканальними, тобто один код керує комутацією одночасно декількох груп сигналів.

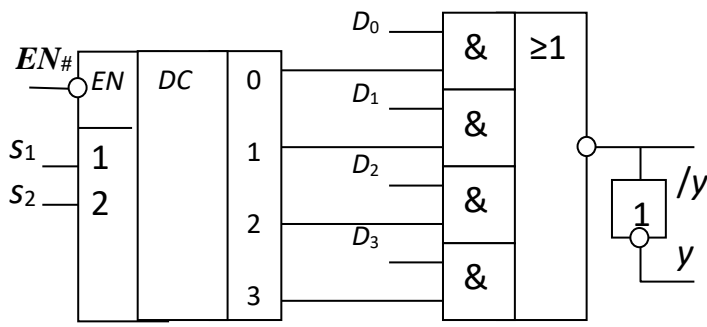


Рис.3.2.39. Будова цифрового мультиплексора

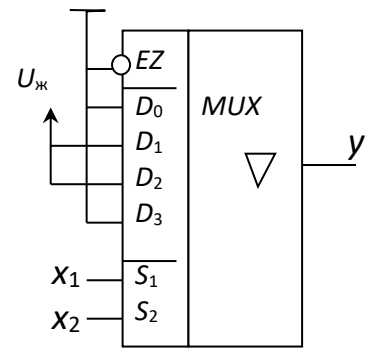


Рис.3.2.40. Варіант вузла нерівнозначності

**Мультиплексори КМОН-технології** відрізняються від інших – мають вихідні вузли типу «двонапрявлений ключ» (рис. 3.2.41). Це дає їм змогу передавати як цифрові, так і аналогові сигнали: за наявності дозволу  $EN_{\#}$  код керування  $S$  через дешифратор вибирає певний двонапрявлений ключ, а той під'єднує одну із сигнальних ліній  $x_0, x_1, x_2, \dots$  до лінії  $y$ .

Доцільно нагадати, що входи й виходи двонапрявленого ключа КМОН взаємозамінні. Тобто в структурі на рис. 3.2.41 сигнали можна подавати також на лінію  $y$ , а одержувати на одній із ліній  $x_0, x_1, x_2, \dots$ . Така дія протилежна мультиплексуванню.

**Демультимплексори** – вузли цифрового пристрою, що виконують комутацію однієї сигнальної лінії ( $D$ ) на той вихід  $Q_p$ , номер якого  $p$  відповідає значенню коду керування. Умовне зображення демультимплексора подано на рис. 3.2.42.

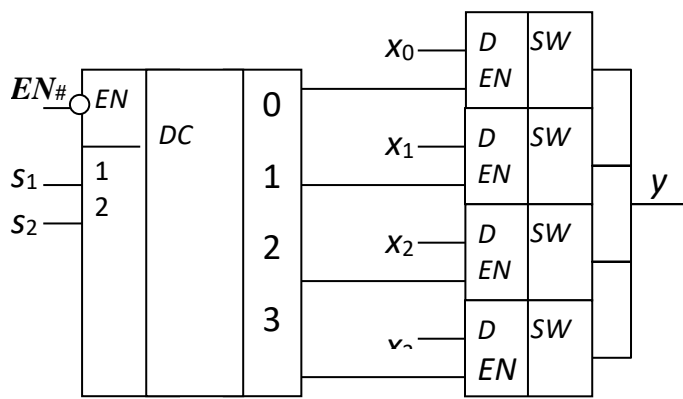


Рис. 3.2.41. Мультиплексор КМОН

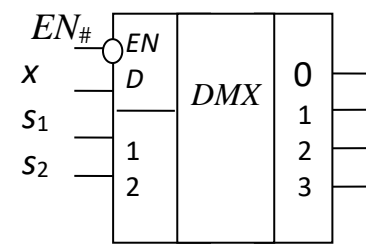


Рис. 3.2.42. Демультимплексор

Виходячи з попереднього, *мультиплексор КМОН є одночасно і демультимплексором*. Демультимплексування в мікросхемах інших технологій виконується дешифраторами, які мають входи стробування. При цьому сигнал, що підлягає комутації, подається на інверсний вхід стробування дешифратора, а знімається в незмінній формі на тому з його інверсних виходів, номер якого відповідає коду керування  $S$ . Дійсно: коли сигнал  $x$ , що підлягає комутації, є «0»,



то є дозвіл дешифрації  $EN_{\#} = x = 0$ , а тому на відповідному виході вузла  $y_s$  виникає «0». Водночас на інших виходах дешифратора будуть сталі рівні «1», про що свідчить його таблиця логіки (табл. 3.2.7). Коли сигнал  $x = 1$ , то  $EN_{\#} = x = 1$ , тобто дешифрація заборонена, і на виході  $y_s$  теж виникає «1».

### 3.2.5.4. Пріоритетні шифратори

Загалом, **шифратор** – це цифровий вузол, що перетворює номер лінії з активним рівнем сигналу у двійковий код. *Операція шифрації* – це дія вузла, зворотна до дешифрації. Реалізація такої дії потрібна, коли, наприклад, необхідно одержати двійковий код номера натиснутої кнопки пульта керування.

Пріоритетний шифратор відрізняється від звичайного шифратора тим, що у випадку надходження на його вхід одночасно декількох сигналів активного рівня він формує код найстаршого з них за номером. Типові інтегровані шифратори мають такі особливості (рис. 3.2.43 і табл. 3.2.9):

активний рівень вхідних сигналів «0»;

наявний вхід стробування (дозволу) виконання операції  $EN$ ;

наявний додатковий вихід ( $PE$ ) – ознака присутності активного рівня хоч одного вхідного сигналу.

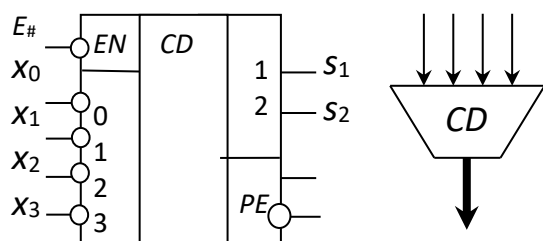


Рис. 3.2.43.Зображення шифратора

Таблиця 3.2.9

$E_{\#}$	$X_3$	$X_2$	$X_1$	$X_0$	$S_2$	$S_1$	$PE$
1	*	*	*	*	0	0	0
0	1	1	1	1	*	*	0
0	1	1	1	0	0	0	1
0	1	1	0	*	0	1	1
0	1	0	*	*	1	0	1
0	0	*	*	*	1	1	1

Логічні функції виходів шифратора можна утворити з таблиці логіки. Однак вони складні, а особливої необхідності в них немає, оскільки використовуються інтегральні шифратори. У маркуванні в СНД вони мають літери ИВ, наприклад К555ИВ1.

Вхід стробування  $EN_{\#}$  у шифраторах призначений для нарощування розрядності цього пристрою шляхом об'єднання декількох ІМС. При цьому для забезпечення пріоритетності вихід  $PE$  від ІМС старшої групи з'єднується з входом  $EN_{\#}$  мікросхеми молодшої групи і т. д. Одночасно виходи однойменних розрядів коду цих ІМС об'єднуються операцією «Або». Однак при цьому виникає задача визначення коду номера шифратора, який у групі є активним – цей номер дає старші розряди вихідного коду. Останню операцію виконують аналогічним шифратором, що аналізує сигнали  $PE$ . Але оскільки для шифратора активними є рівні «0», то потрібні інверсні значення  $\neg PE$ . Тому типові інтегральні шифратори мають одночасно прямий та інверсний виходи сигналу  $PE$ . Деякі (наприклад К555ИВ1) також мають інверсні виходи самого коду  $S$ , через що об'єднання

розрядів кількох ІМС виконується елементами «І-Не». Деякі (наприклад К555ІВ1) також мають інверсні виходи самого коду  $S$ , через що об'єднання розрядів кількох ІМС виконується елементами «І-Не».

### 3.2.5.5. Суматори «за модулем 2» та кодові компаратори

Низка операцій із двійковими кодами базується на використанні вже розглянутого елемента нерівнозначності (рис. 3.2.44, а), що здатен порівнювати два бінарних сигнали, формуючи «1», якщо вони нерівні. Комбінаційний вузол із протилежним до елемента нерівнозначності значенням вихідного сигналу (рис. 3.2.44, б) можна назвати «елементом рівнозначності», адже значення «1» він формує, коли входні сигнали за значеннями збігаються (табл. 3.2.10).

Елементи нерівнозначності та рівнозначності можна описати логічними функціями декількома способами, наприклад:

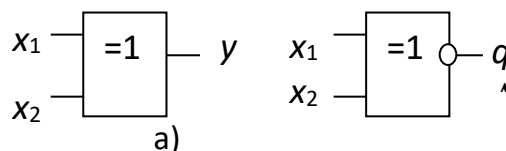


Рис. 3.2.44. Елементи нерівнозначності (а) та рівнозначності (б)

Таблиця 3.2.10

$x_2$	$x_1$	$Y$	$Q$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

$$y = x_1 \oplus x_2; \quad q = \overline{x_1 x_2} \vee x_1 x_2 = \overline{y} = \overline{x_1 \oplus x_2} = \overline{x_1 x_2} \vee x_1 x_2.$$

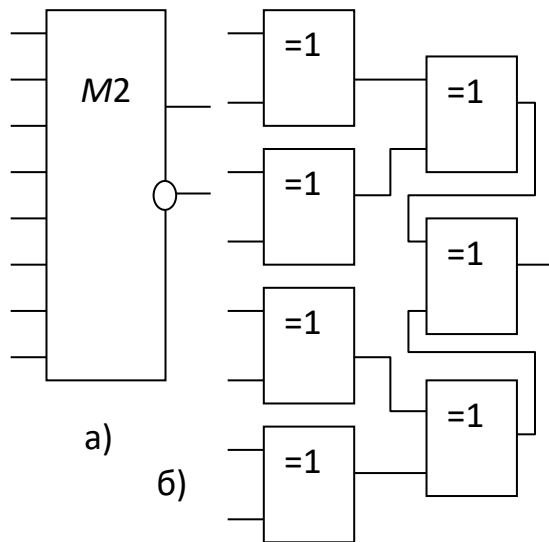


Рис. 3.2.45. Умовне зображення (а) і варіант структури (б) суматора «за модулем 2»

Обидва згадані вузли є складними, оскільки згідно з логічною функцією для побудови потребують п'яти простих логічних елементів.

Завдяки важливості функцій, що виконують елементи нерівнозначності та суматори «за модулем 2», вони досить поширені в інтегральному виконанні. У СНД ІМС, що виконують такі операції, спеціального маркування не мають, а позначаються серед підкласів «ЛП» або «ІП». Наприклад, ІМС К555ЛП5 містить чотири елементи нерівнозначності.

*Примітка.* Елементи нерівнозначності дозволяють

виконувати кероване інвертування сигналу  $x_1(t)$  з одного входу, враховуючи значення  $x_2$  на іншому: якщо  $x_2 = 1$ , то сигнал  $x_1(t)$  інвертується, а якщо  $x_2 = 0$ , то ні. Така властивість цього елемента використовується для модуляції сигналів або зміни значень певних кодів на протилежні.

**Багатовходові суматори «за модулем 2»** визначають умову, чи непарною є кількість одиниць на їх входах (тоді на виході «1»). Вузли, що виконують таку операцію, мають загальне позначення функції «M2» (іноді застосовується «ODD»), а вузли з протилежним значенням вихідного сигналу перевіряють входні сигнали на парність та позначаються з ознакою «EVEN». Суматор «за модулем 2» можна будувати як довільний комбінаційний вузол, а також з елементів нерівнозначності, причому краще за пірамідальною структурою – буде меншою логічна глибина (рис. 3.2.45, б). Отже, елемент нерівнозначності можна вважати частковим випадком суматора «за модулем 2» – з двома входами.

**Компаратори кодів.** Важливою задачею в цифрових пристроях є порівняння двійкових кодів. Вузли, що цю дію виконують, називаються *компараторами кодів* та позначаються *COMP*, як на рис. 3.2.46, а (раніше позначалися знаками «= $\Rightarrow$ »).

Відповідно до логіки дії компаратора, можна скласти його логічну функцію та схему з основних логічних елементів. Але зрозуміло, що два коди  $A = \{a_n, \dots, a_2, a_1\}$  та  $B = \{b_n, \dots, b_2, b_1\}$  рівні, якщо збігаються всі однойменні розряди:  $a_i, b_i$ . Використовуючи для порівняння таких розрядів елементи рівнозначності, логічну функцію компаратора можна скласти ще й так:

$$y = \overline{[a_1 \oplus b_1]} \overline{[a_2 \oplus b_2]} \overline{[a_3 \oplus b_3]} \overline{[a_4 \oplus b_4]} \dots$$

або в еквівалентній формі:

$$y = a_1 \oplus b_1 \vee a_2 \oplus b_2 \vee a_3 \oplus b_3 \vee a_4 \oplus b_4 \dots$$

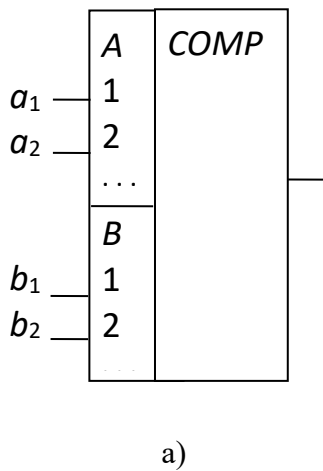


Рис.3.2.46. Компаратор кодів (а)  
та його структура (б)

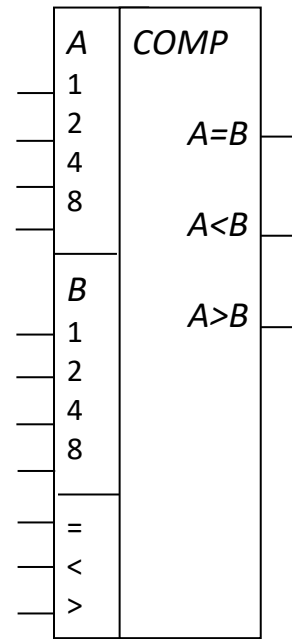
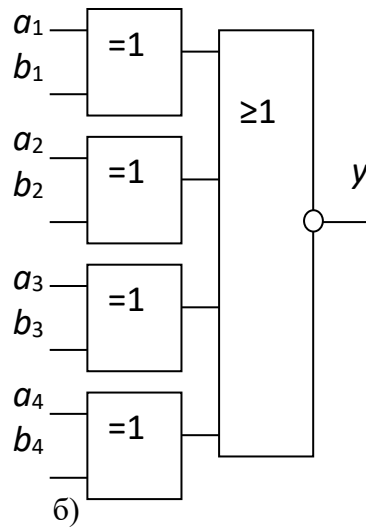


Рис.3.2.47. Компаратор  
555СП1

Тобто однойменні розряди двох кодів необхідно аналізувати на нерівнозначність, а отримані результати об'єднувати операцією «Або-Не». Відповідну структуру компаратора кодів показано на рис. 3.2.47. У цій ІМС, коли хоч в одній парі однойменних розрядів їх значення не збігаються, то відповідний елемент нерівнозначності формує «1», а результат стає таким, що відповідає рівню «0».

Інтегральні компаратори (вони маркуються літерами СП) мають ширші можливості: за нерівності кодів  $A$  і  $B$  вони ще формують сигнали про те, який з них має більше значення (рис. 3.2.47). Крім того, ІМС компараторів мають додаткові входи для нарощування розрядності (розширення), що позначені як  $A = B, A < B, A > B$ . Вони з'єднуються з однойменними виходами мікросхеми, що порівнює старші розряди кодів, де враховуються для формування сигналу підсумкового результату.

### 3.2.5.6. Комбінаційні двійкові суматори

Серед операцій над двійковими кодами в цифрових пристроях важливе місце посідає їх додавання. Ця операція виконується аналогічно, як і в десятковій арифметиці, але з урахуванням того, що:  $1 + 1 = 2$ , тобто  $\{10\}_2$ , а  $1 + 1 + 1 = 3$ , тобто  $11_2$ .

У таких випадках є перенесення з одного розряду в наступний.

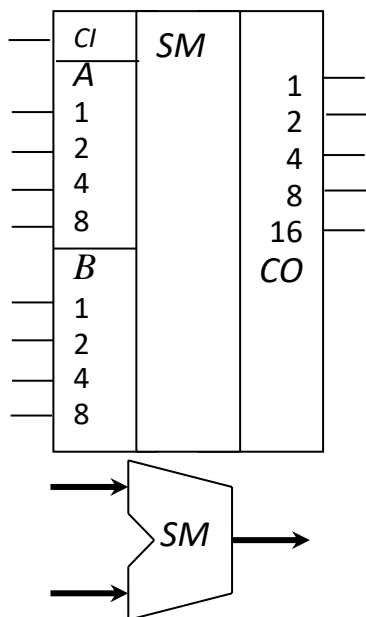


Рис. 3.2.48. Зображення двійкових суматорів

Приклад:

$$\begin{array}{r}
 + 1101_2 = 13 \\
 \underline{1110_2 = 14} \\
 11011_2 = 27
 \end{array}$$

Вузли, що визначають результат додавання двійкових кодів, називають **суматорами**. В інтегральному виконанні вони розраховані на додавання, як правило, двох кодів. У їх умовному зображенні функція позначається як *SM* (рис. 3.2.48).

У зазначеному вузлі є такі групи виводів:

- входи розрядів числа  $A = \{a_n, \dots, a_2, a_1\}$  ;
- входи розрядів числа  $B = \{b_n, \dots, b_2, b_1\}$  ;
- виходи результату  $S = \{s_{n+1}, s_n, \dots, s_2, s_1\}$  ;
- вхід перенесення  $CI$ .

Останній призначений для додавання до результату  $S$  ще однієї одиниці, якщо  $CI = 1$ , тобто фактично додаються три числа:

$$S = A + B + CI .$$

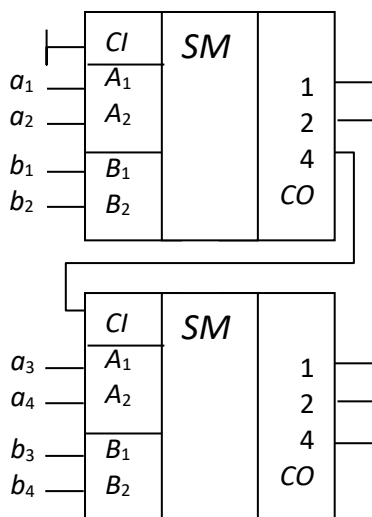


Рис. 3.2.49. Суматор

Основне призначення входу  $CI$  – нарощування розрядності суматора шляхом з'єднання декількох суматорів малої розрядності. Для цього вхід перенесення наступного вузла під'єднується до виходу старшого розряду попереднього (рис. 3.2.49). Останній тоді називається «вихід перенесення  $CO$ ». На вхід  $CI$  молодшого розряду подається «0».

Подібне додавання кодів може складатися навіть з однорозрядних операцій, коли в додаванні беруть участь два однойменні розряди самих кодів ( $a$  та  $b$ ), а також результат перенесення ( $CO$ ) від додавання в попередніх розрядах. Після додавання цих трьох значень виникає результат із двох бітів:  $\{s_2, s_1\}$ , де  $s_2$  є вихідним сигналом перенесення  $CO$  (рис. 3.2.50, табл. 3.2.11).

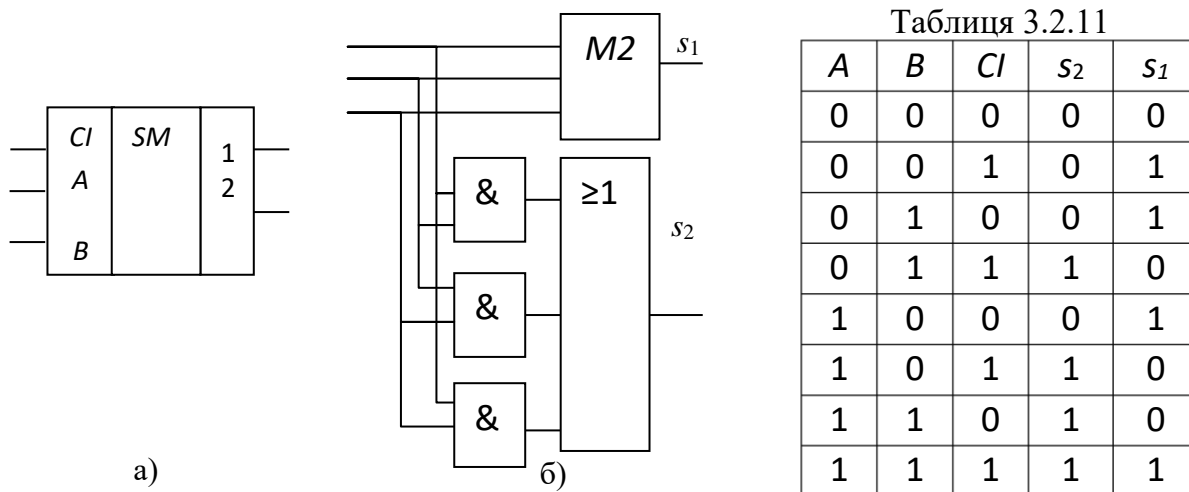


Рис. 3.2.50. Однорозрядний суматор (а) і варіант його структури (б)

Логіка дії однорозрядного суматора свідчить, що всі його входи рівнозначні. Значення «1» на виході  $s_1$  буває тільки в разі непарної кількості одиниць на входах, а на  $s_2$  – за наявності двох або трьох одиниць на входах. Тому, логічними функціями виходів  $s_1, s_2$ , що відповідають структурі вузла, як на рис. 3.2.50, б. є вирази об'єднані логічними операціями:

$$s_1 = A \oplus B \oplus C_I;$$

$$s_2 = \overline{ABC_I} = \overline{A}B\overline{C_I} = \overline{A}B\overline{C_I} = \overline{A}B\overline{C_I} = A \cdot B\overline{C_I} = A \cdot B \vee A \cdot C_I \vee B \cdot C_I.$$

Необхідно зазначити, що інколи цифрові вузли подібної структури розглядають і як такі, що формують перенесення в наступний розряд, але не можуть враховувати перенесення з попереднього розряду. Такі вузли називаються *півсуматорами*. Однак на сьогодні їх використання є досить обмеженим.

Багаторозрядні двійкові суматори можна будувати з аналогічних меншої розрядності, з'єднуючи їх послідовно за виходами й входами перенесення, однак при цьому сигнал перенесення з першого вузла буде діяти на другий, той, своєю чергою, на третій і т. д. А чим більше ступенів такого суматора, тим довше буде формуватися його вихідний код. Тому краще будувати структуру всього суматора заданої розрядності як єдиного вузла, оптимізуючи її за критерієм мінімуму логічної глибини. Саме з таких міркувань випускаються ІМС комбінаційних двійкових суматорів із розрядністю кодів  $k = 2 \dots 16$  бітів. У СНД вони маркуються літерами ИМ, наприклад, 133ИМ3 (4 біти).

*Примітка.* Для зменшення втрат швидкості дії суматора, складеного з чотирьох розрядних, існують спеціальні мікросхеми так званого «наскрізного перенесення».

### 3.2.5.7. Поняття про арифметично-логічні вузли

Цифрові пристрої широко використовуються для оброблення інформації, яка потребує не тільки додавання кодів, але також їх перемноження, перестановок розрядів (зсувів) та виконання ряду логічних операцій. Тому існують спеціалізовані мікросхеми, зокрема, комбінаційні помножувачі (маркуються літерами ВР), а також ІМС ширшого призначення – арифметично-логічні вузли (АЛВ). Останні можуть виконувати значну кількість операцій – у типовому випадку 16 арифметичних і 16 логічних.

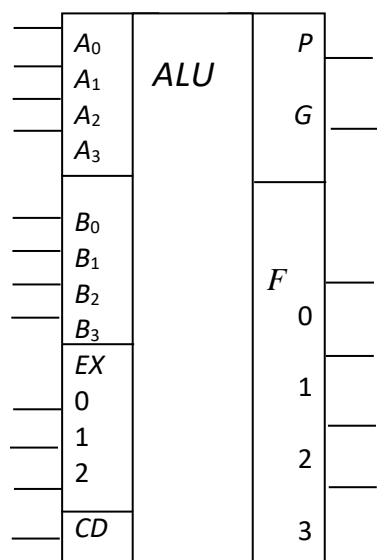


Рис. 3.2.51. АЛВ типу КР531ИК2

Серед мікросхем середнього ступеня інтеграції ТТЛ(Ш) та КМОН-технологій існують подібні ІМС з розрядністю кодів  $k=4$ , числом операцій 32 та можливістю каскадування (1533ИПЗ, 561ИПЗ), а також ІМС з меншою кількістю операцій, наприклад КР531ИК2 (рис. 3.2.51).

Входи подібних ІМС функціонально поділені на три групи: входи розрядів коду  $A$ , входи розрядів коду  $B$  та входи коду операції  $EX$ . Кожна така операція означає відповідний набір логічних функцій для кожного виходу, а в кінцевому підсумку – логічну структуру всієї мікросхеми. Однак із появою однокристальних мікроконтролерів їх використання скоротилося.

### 3.2.5.8. Магістральні приймачі та передавачі

У ході передачі цифрової інформації на спільну для декількох пристроїв магістраль виникає задача, подібна до мультиплексування: забезпечити передачу коду тільки від одного вибраного пристрою, а інші не повинні цьому заважати. Для цього в кожному пристрої необхідно використати відповідну кількість елементів з трьома станами виходів (пп. 3.2.2, 3.2.3) та під'єднати їх до ліній магістралі.

Доцільно, щоб подібні елементи знаходилися в корпусі однієї ІМС – так званого магістрального (або шинного) передавача.

Відповідні вузли для коду, що передається, є повторювачами або інверторами, і частіше всього з гістерезисними властивостями тригера Шмітта (п. 3.5.1). Останнє сприяє кращому відтворенню сигналів, спотворених у лініях зв'язку.

Однонаправлені приймачі-передавачі бувають із прямими або з інвертованими виходами, зазвичай 8-розрядні, а за керуванням передачею інформації можуть розділятися на два канали:  $2 \times 4$  бітів або  $2+6$  бітів (рис. 3.2.52, а). Потрібно зазначити, що шляхом паралельного з'єднання виходів подібних передавачів і керування дозволом роботи одного із зазначених вузлів з них можна створити багатоканальний мультиплексор.

Доцільно зазначити, що поширеними також є двонаправлені магістральні приймачі-передавачі, що забезпечують передачу інформації як від пристрою на магістраль, так і навпаки. Тому в останніх є додатковий вхід  $A/B$  для керування

напрямом передачі інформації (рис. 3.2.52, б). Фактично, такі вузли складаються з двох однонаправлених передавачів, що з'єднані в коло (рис. 3.2.52, в) та керуються протилежними сигналами напрямку передачі (сигнал  $A/B = 1$  означає передачу від  $A$  до  $B$  за  $OE_{\#} = 0$ ).

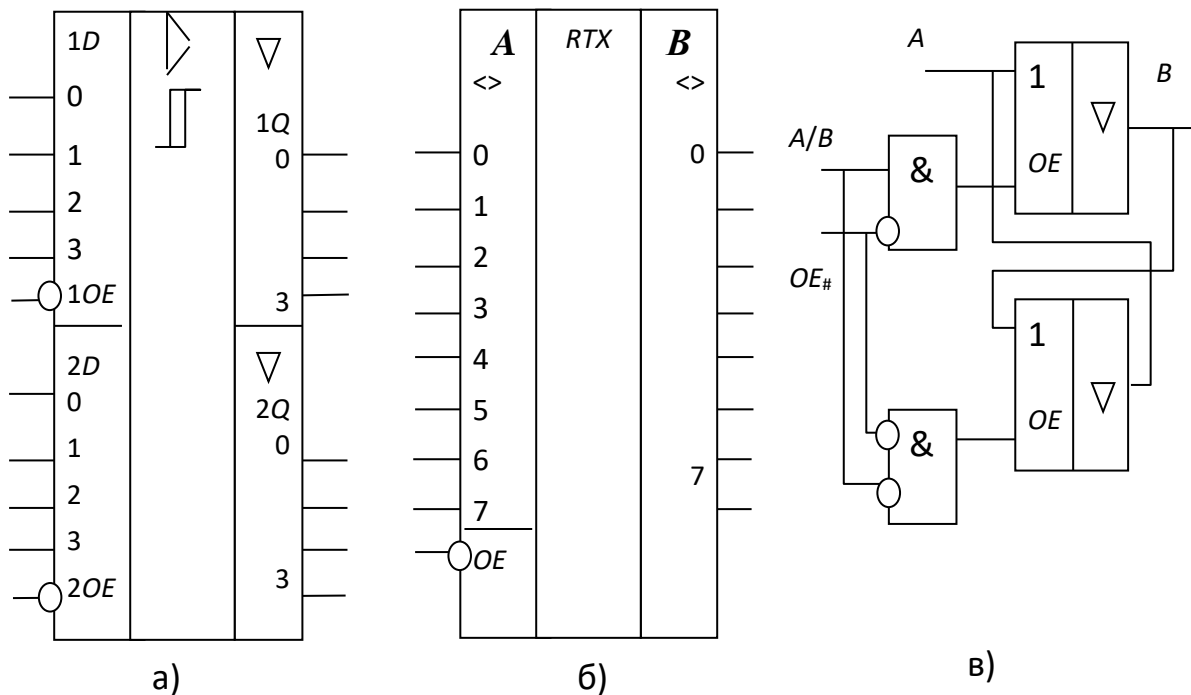


Рис. 3.2.52. Магістральні приймачі-передавачі:  
 а) однонаправлений 1533АП5; б) двонаправлений 1533АП6;  
 в) структура його каналу

Мікросхеми магістральних передавачів маркуються літерами АП та відрізняються підвищеною навантажувальною спроможністю. У теперішній час частіше ці компоненти застосовуються в технології КМОН. Вони затакої самої напруги живлення, що і ТТЛШ, забезпечують більшу різницю сигнальних рівнів  $U^1$  та  $U^0$ .

Отже, типові комбінаційні вузли з найбільш поширеним набором операцій над двійковими кодами можуть бути втілені в корпусі однієї ІМС. Вони мають розвинуту систему виводів керування, що дозволяють розширяти розрядність відповідних пристроїв шляхом певного об'єднування декількох подібних ІМС і навіть змінювати їх функції. Застосування таких мікросхем значно спрощує виконання заданих функцій цифрового пристрою та покращує його технічні параметри.

### Контрольні питання

1. Які сигнальні рівні «0» та «1» є типовими для мікросхем ТТЛ(Ш)-технологій?
2. Які переваги мікросхем КМОН-технологій перед ТТЛ(Ш)?
3. Яке значення сигналу сприймає мікросхема ТТЛ(Ш)-технології, якщо вхідна лінія обірвана?



4. Як оцінити допустиму кількість входів цифрових ІМС однієї серії, що під'єднуються до одного виходу заданої мікросхеми?

5. Чому на лініях з'єднання в цифрових пристроях, побудованих на мікросхемах ЕЗЛ-технології, необхідно застосовувати навантажувальні резистори?

6. Складіть схему пристрою, що здатен у 4-розрядному коді  $\{a_1, a_2, a_4, a_8\}$  виявляти значення 7 і 9. При цьому використайте: а) лише логічні елементи; б) дешифратор; в) мультиплексор. Побудуйте електричні схеми таких пристроїв.

7. Складіть таблицю логіки роботи, запишіть логічну функцію для 4-розрядного дешифратора з виходами типу «відкритий колектор».

8. Складіть таблицю логіки роботи, запишіть логічну функцію для 3-розрядного демультимплексора з виходами типу «Z-стан».

### Розділ 3.3. ЦИФРОВІ ВУЗЛИ ПОСЛІДОВНІСНОГО ТИПУ

Цифрові пристрої можуть складатися не тільки з комбінаційних вузлів, але й із послідовнісних, у яких вихідні сигнали залежать як від поточних значень вхідних, так і від попередніх, що визначили стан вузла раніше – до подання поточних вхідних сигналів. Це дозволяє втілювати заданий алгоритм утворення вихідних сигналів залежно від послідовності дії вхідних, а тому такі вузли ще називають *цифровими автоматами*. За допомогою послідовнісних вузлів вирішуються задачі, принципово відмітні від тих, що вирішуються в комбінаційних, зокрема:

рахунок кількості імпульсів;

ділення частоти повторення імпульсів на заданий коефіцієнт;

запам'ятовування кодових комбінацій;

формування заданих послідовностей кодів та інші.

#### 3.3.1. Математичний апарат послідовнісних пристроїв

##### 3.3.1.1. Особливості будови та дії послідовнісних пристроїв

Відмітність дії комбінаційних пристроїв від послідовнісних обумовлюється тією обставиною, що до структури останніх введено особливі вузли, здатні запам'ятовувати наявність певних сигналів.

**Елемент пам'яті (тригер).** Оскільки цифрові сигнали мають лише два значення: «0» та «1», то елементи пам'яті для них мають аналогічні два стани. Із цієї причини їх називають бістабільними елементами, або тригерами. Отже, **тригер** – це функціональний елемент пристрою, що забезпечує запам'ятовування одного біта інформації – розряду двійкового коду. Однак при цьому варто зазначити, що в теперішній час поняття «тригер» дещо розширено – з'явилися їх різновиди стосовно керування станом.

Важливим у дії тригерів є те, що цей вузол не повинен керуватися одним вхідним сигналом – тоді б він запам'ятовував лише наявність одного значення або кожного разу змінював свій стан (останнє теж знаходить застосування), а мати щонайменше два входи:

вхід сигналу для встановлення тригера у стан «1» – *Set* (позначається *S*);

вхід сигналу для скиду тригера у стан «0» – *Reset* (позначається *R*).

Вихід тригера, за яким визначається його стан, далі буде позначатися *Q*, а інвертований –  $\bar{Q}$  (рис. 3.3.1).

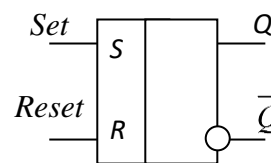


Рис. 3.3.1. Тригер

**Узагальнена структура послідовнісних пристроїв.** Якщо в послідовнісному пристрої  $k$  тригерів, то взагалі можливо  $2^k$  комбінацій їх станів  $Q = \{Q_k, \dots, Q_1\}$ , кожна з яких розглядається як *внутрішній стан послідовнісного пристрою*. Сигнали керування тригерами *S* і *R* загалом можуть утворюватися внаслідок логічних операцій над вхідними сигналами пристрою та вихідними сигналами його тригерів. Останнє дозволяє досягти залежності нового стану

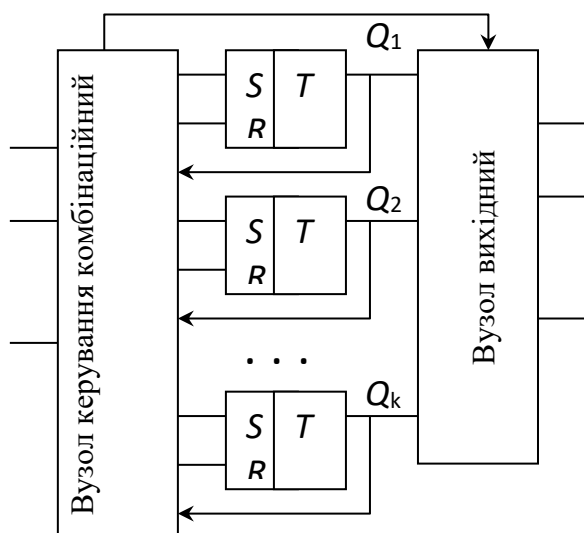


Рис. 3.3.2. Пристрій послідовнісного типу

тригерів  $Q(n)$  не тільки від поточних значень сигналів керування пристроєм  $X(n)$ , але й від попереднього стану самих тригерів  $Q(n-1)$ , тобто від запам'ятованої інформації ( $n$  – це номер інтервалу або такту роботи пристрою). Тому в загальному випадку сигнали керування елементами пам'яті *S* і *R* утворюються внаслідок комбінаційних операцій над вхідними сигналами пристрою  $x_i$  та сигналами елементів пам'яті  $Q_m$  (для цього призначений комбінаційний вузол керування, рис. 3.3.2).

Вихідні сигнали пристрою  $y_p$  можуть утворюватися безпосередньо з виходів тригерів ( $y_p = Q_p$ ), а також унаслідок

комбінаційних операцій над останніми разом із вхідними. Залежність вихідних сигналів пристрою  $Y = f_p\{X, Q\}$  називається *функцією виходу*, причому вона містить лише комбінаційні операції. До речі, якщо вихідні сигнали послідовнісного пристрою залежать лише від його внутрішнього стану, то пристрій класифікують як *автомат Мура*, а якщо залежать і від вхідних – *як автомат Міллі*.

Часто зміна стану послідовнісного пристрою упорядковується – «прив'язується» до появи певних імпульсів, що синхронізують його роботу. Такі пристрої називаються *синхронними автоматами*. При цьому пристрій має не тільки інформаційні входи, але й вхід для імпульсів тактування, що позначається *Clk* (від *Clock*) або скорочено *C*. Для приведення пристрою в початковий стан може бути

спеціальний вхід  $SR$ , тобто цей сигнал діє на тригери не однаково, а десь на вхід  $S$ , десь на  $R$ .

**Класифікація тригерів.** Існує досить широкий клас типових вузлів, що називаються тригерами. Їх об'єднує така ознака: кожен тригер має два сталих стани, у кожному з яких він може перебувати нескінченно довго за пасивних значень вхідних сигналів, а переходить у певний стан («0» або «1») при відповідних комбінаціях сигналів керування. Відмінності між різними типами тригерів полягають саме в особливостях керування зміною їх стану. Зокрема, відомі на даний час тригери можна поділити на такі підгрупи:

1) за інформаційними входами (типом функції переходів):  $RS$ -,  $JK$ -,  $D$ - і  $T$ -тригери;

2) за можливості «прив'язати» момент зміни стану тригера до появи спеціального імпульсу тактування: *синхронні* (що тактуються) та *асинхронні* (що не тактуються);

3) за характером дії окремих сигналів керування: тригери зі *статичним* (потенціальним) та *динамічним* (імпульсним) керуванням.

Різниця між статичним та динамічним керуванням (динамічне частіше притаманне лише входу тактування) полягає ось в такому: якщо стан тригера залежить від присутності на певному вході деякого значення сигналу керування, то тригер за цим входом має *статичне керування* (ще називають його *потенціальним*). При цьому, якщо тригер реагує на вхідний сигнал зі значенням «1», то відповідний вхід називається *прямим входом статичного керування*, а якщо реагує на значення «0» – *інверсним входом*. Прямі статичні входи жодних додаткових ознак не мають, а інверсні позначаються кружками (рис. 3.3.3, а, б). Наприклад, щоб встановити в «1» тригер на рис. 3.3.3, б, потрібно на його вхід  $S$ , хоч короткочасно, подати «0».

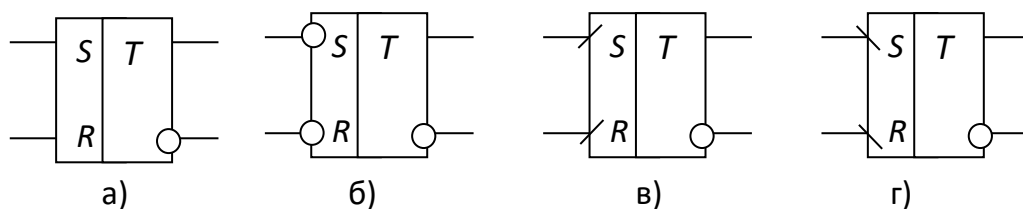


Рис. 3.3.3. Асинхронні тригери із входами статичного керування (а, б) і з динамічним керуванням (в, г)

Якщо стан тригера не залежить від сталого значення сигналу керування на певному вході, а реагує лише на зміну цього сигналу, то такий вхід і тригер мають динамічне керування. Вхід динамічного керування позначається стрілкою праворуч ( $\rightarrow$ ) або рисою нахилу праворуч ( $/$ ), якщо тригер реагує на фронт сигналу – тобто на перехід його від «0» до «1» (рис. 3.3.3, в). І, навпаки, вхід позначається стрілкою ліворуч ( $\leftarrow$ ) або рисою нахилу ліворуч ( $\backslash$ ), якщо тригер реагує на зріз сигналу – перехід його від «1» до «0» (рис. 3.3.3, г).

Наведені на рис. 3.3.3, а–г позначення тригерів свідчать, що зміна їх стану відбувається під дією інформаційних сигналів ( $S$  і  $R$ ) безумовно. Такі тригери називаються *асинхронними*.

### 3.3.1.2. Описи дії послідовнісних вузлів

Важливою особливістю цифрового пристрою послідовнісного типу є те, що його дія – встановлення певного стану – розгортається в часі, а тому розглядається в інтервалах: початковий стан  $Q(0)$ , стан після першої зміни певного сигналу  $Q(1)$ , другої –  $Q(2)$  і т. д. За аналогією з комбінаційними вузлами переходи послідовнісних вузлів із стану в стан можуть описуватися: словами, таблицею, а також логічними виразами. Залежність нового стану послідовнісного вузла  $Q(n)$  від комбінації вхідних сигналів  $X(n)$  та попереднього стану  $Q(n-1)$  виду  $Q(n) = f\{Q(n-1), X(n)\}$ , або скорочено  $Q(n) = f\{Q, X\}$ , називається його *функцією переходів*.

Одним із наочних описів роботи послідовнісного вузла є використання направлених графів, де у вершинах позначаються стани, а на ребрах – умови відповідних переходів. Такий схемний опис структури послідовнісних вузлів є доцільним для їх побудови, однак не завжди наочний для аналізу.

Математичний опис функції переходів відрізняється від запису логічних функцій комбінаційних вузлів, насамперед, використанням додаткового аргументу – дискретного часу, під яким розуміють номер такту роботи пристрою « $n$ ». Крім того, у подібному виразі одночасно використовуються позначення стану вузла в різні моменти часу. Отже, *функція переходів є рекурентною* –

пов'язує новий стан із попереднім та з вхідними сигналами. Зокрема, сам елемент пам'яті – асинхронний тригер – є найпростішим послідовнісним вузлом, який переходить: у стан «1», якщо  $S = 1$ ; у стан «0», якщо  $R = 1$ , а зберігає свій стан за  $S = 0$  і  $R = 0$  (табл. 3.3.1).

Таблиця 3.3.1

$S$	$R$	$Q(n-1)$	$Q(n)$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1

$S$	$R$	$Q(n)$
0	0	$Q$
0	1	0
1	0	1

У скороченій формі таблиці переходів позначення  $Q$  буде відповідати попередньому стану  $Q(n-1)$ .

В обох випадках комбінація сигналів  $S = R = 1$  не передбачена, хоча можлива. Її наслідки потребують додаткового аналізу побудови конкретного тригера.

Із таблиці переходів, відповідно до загальних правил складання логічних функцій, отримується функція переходів цього  $RS$ -тригера:

$$Q(k) = Q \cdot \bar{S} \cdot \bar{R} \vee Q \cdot S \cdot \bar{R} \vee \bar{Q} \cdot S \cdot \bar{R} = \bar{R} \cdot (Q \vee S) = S \vee \bar{R} \cdot Q. \quad (3.3.1)$$

Отже, функції переходів послідовнісних пристроїв пов'язують між собою значення змінних у сусідні моменти тактування, що є принциповою відмітністю від комбінаційних.

У випадку наявності в пристрої певної кількості  $k$  тригерів функції переходів записуються для кожного з них окремо, а їх сукупність буде визначати функцію переходів стану вузла в цілому. Однак оперувати подібною сукупністю функцій для аналізу роботи пристрою досить складно, тому з метою наочності вплив зовнішніх сигналів на стан пристрою часто показують напрямленим графом переходів. Це такий граф, у вузлах якого вказуються стани  $Q_i$  вузла, а на ребрах – комбінації сигналів  $X_m$ , що призводять до відповідних змін стану вузла. Граф переходів розглянутого елемента пам'яті ( $RS$ -тригера) показано на рис. 3.3.4, причому він теж не повний, як і табл. 3.3.1, оскільки не задана поведінка за  $S = R = 1$ .

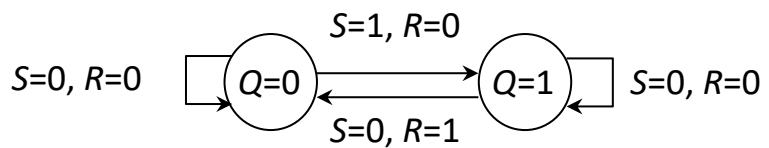


Рис. 3.3.4. Граф основних переходів  $RS$ -тригера з прямими входами статичного керування

Враховуючи, що дія послідовнісного вузла розгортається у часі, синтез

його структури є значно складнішою задачею, ніж комбінаційного. При цьому використання опису пристрою у вигляді логічних функцій є недостатньо ефективним, оскільки відсутні чіткі методики відтворення відповідних схем, як це відбувається для комбінаційних вузлів. Із цієї причини структуру складних послідовнісних пристроїв частіше будують на основі поділу загальної задачі на типові операції, засоби реалізації яких відомі та є в інтегральному виконанні. Тому, важливою є інформація про призначення, умовні позначення й порядок дії саме типових вузлів послідовнісних пристроїв. При їх вивченні основною формою опису роботи будуть таблиці переходів та їх графічна інтерпретація, тому розпочинати слід із базових елементів послідовнісних пристроїв – тригерів.

### 3.3.2. Асинхронні тригери

#### 3.3.2.1. Утворення елементарного тригера

На відміну від логічного елемента, тригер спроможний запам'ятати свій стан, який виник за активних значень сигналів керування, та зберігати цей стан за пасивних значень цих сигналів.

Натомість вузли з пам'яттю, як і ряд розглянутих вище комбінаційних вузлів, утворюються з логічних елементів. При цьому, щоб зберегти стан вузла, зокрема логічного елемента, потрібно утворити зворотний зв'язок, причому такий, щоб значення його вихідного сигналу  $Q$  («1» або «0») через коло зворотного зв'язку знову підтверджувало те саме значення на виході. Для цього можна, наприклад, використати логічні елементи без інвертування («І», «Або»), у яких з'єднати

вихід зі всіма входами (рис. 3.3.5, а, б). Тоді вихідний сигнал  $Q$  («0» або «1»), надходячи на входи, нескінченно довго відтворюється на виході знову тим самим значенням. У випадку інверторів потрібно в коло послідовно ввімкнути їх два (рис. 3.3.5, в) – вони двічі змінюють сигнал  $Q$  на протилежний, і таким чином вихідні сигнали інверторів залишаються незмінними (якщо, наприклад,  $Q = 1$ , то після першого інвертування  $\bar{Q} = 0$ , а після другого – знову  $Q = 1$ ).

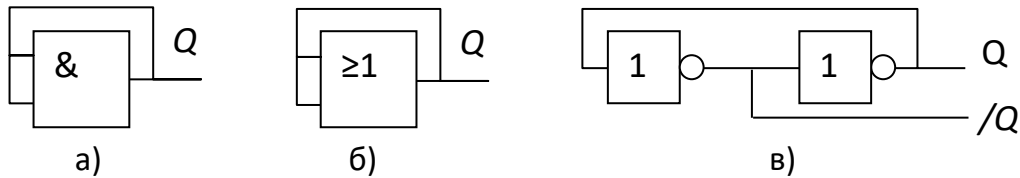


Рис. 3.3.5. Варіанти вузлів із властивостями тригера без входів керування

Властивість збереження стану може виникати в разі наявності кола зворотного зв'язку і в інших комбінаційних вузлах, наприклад у мультиплексорах з певними значеннями інших вхідних сигналів. Однак через складність аналізу й синтезу подібних вузлів ця властивість практичного застосування не знаходить. Загалом слід мати на увазі, що *утворення зворотного зв'язку в комбінаційному вузлі може перетворити його в послідовнісний*.

Отже, розглянуті вузли (рис. 3.3.5, а, б, в) здатні нескінченно довго перебувати в одному з двох станів – є бістабільними елементами (тригерами), однак їх станом неможливо керувати – немає відповідних входів. Щоб утворити входи роздільного керування станами тригера ( $S$ ,  $R$ ), потрібен вузол, для побудови якого необхідно задіяти пару логічних елементів із кількома входами та інвертованими виходами: «І-Не» чи «Або-Не».

### 3.3.2.2. Асинхронний тригер на елементах «Або-Не»

Асинхронний тригер на двовходових елементах «Або-Не» утворюється з вузла (рис. 3.3.5, в) шляхом заміни елементів (рис. 3.3.6).

Згідно зі схемою цього  $RS$ -тригера його функція переходів буде:

$$Q(n) = \overline{R \vee (\overline{S \vee Q})} = \overline{R \vee S \bar{Q}} = \bar{R}(S \vee Q).$$

Тут, якщо  $S = R = 0$ , то вузол еквівалентний парі інверторів, тобто може зберігати свій стан  $Q(n) = Q$ . Коли ж сигнал  $R = 0$ , а  $S = 1$ , то відповідно до логіки дії елемента «Або-Не» отримується  $Q = 1$ , а далі  $\bar{Q} = 0$ , що підтверджує  $\bar{Q} = 0$ , навіть якщо сигнал  $S$  знову стане «0». Тобто сигнал  $S = 1$  є активним рівнем та приводить до встановлення тригера в стан «1» ( $Q = 1$ ,  $\bar{Q} = 0$ ).

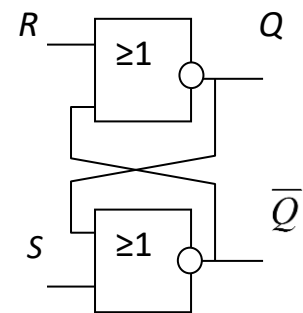


Рис. 3.3.6  
RS-тригер

Аналогічно, якщо  $S = 0$ , а сигнал  $R = 1$ , то це переводить тригер у стан «0» ( $Q = 0, \bar{Q} = 1$ ). Отже, для RS-тригера на елементах «Або-Не» активними є рівні вхідних сигналів «1», що відповідає умовному зображенню на рис. 3.3.3, а.

Слід зауважити, що для надійного керування тригером тривалість дії активних рівнів сигналів  $S$  чи  $R$  повинна бути такою, щоб до їх закінчення по колу зворотного зв'язку встиг надійти сигнал, який підтвердить його новий стан, тобто не меншою від подвоєної затримки поширення сигналу в одному логічному елементі (термін спрацьовування  $t_{спр} = 2t_{зрc}$ ).

Потрібно ще звернути увагу на ту обставину, що в разі одночасної дії двох активних сигналів  $S = R = 1$  на виходах обох логічних елементів будуть сигнали «0». Це особливий стан, що не може запам'ятися тригером – у разі повернення сигналів  $S$  і  $R$  знову до пасивного рівня особливий стан відтворюватися не може, а тригер випадково набуде якогось нормального стану. Логіку повного керування цим тригером показано в табл. 3.3.2, а приклад дії сигналів – на рис. 3.3.7.

*Примітка.* Якщо у складових логічних елементів «Або-Не» є три чи більше входів, то тригер на їх основі буде мати по декілька рівнозначних входів  $S$  та  $R$  з активним високим рівнем.

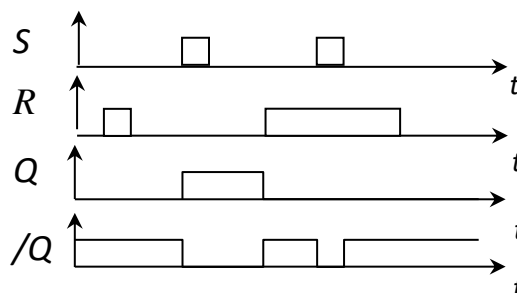


Рис. 3.3.7. Приклад дії тригера

Таблиця 3.3.2

$S$	$R$	$Q(n)$	$\bar{Q}(n)$
0	0	$Q$	$\bar{Q}$
0	1	0	1
1	0	1	0
1	1	0	0

### 3.3.2.3. Асинхронний тригер на елементах «І-Не»

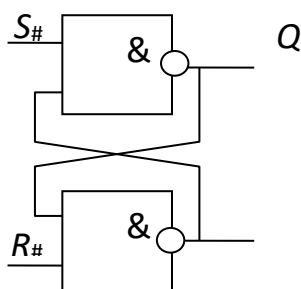


Рис. 3.3.8.  
RS-ТРИГЕР

Асинхронний тригер на двовходових елементах «І-Не» має будову, подібну до попереднього (рис. 3.3.8). Однак опис функції переходів такого тригера відрізняється:

$$Q(k) = \overline{S_{\#} \cdot (R_{\#} \cdot Q)} = \overline{S_{\#}} \vee (R_{\#} \cdot Q).$$

Цей вузол еквівалентний парі інверторів за  $S = R = 1$  – тоді може зберігати свій стан  $Q(n) = Q(n-1)$ . Коли сигнал  $R = 1$ , а  $S = 0$ , то відповідно до логіки дії елемента «І-Не» отримується  $Q = 1$ , а далі  $\bar{Q} = 0$ , що підтверджує  $Q = 1$ , навіть якщо сигнал  $S$  знову стане «1». Тобто активним рівнем сигналу  $S$  є «0», що приводить до встановлення тригера у стан «1» ( $Q = 1, \bar{Q} = 0$ ), а рівень  $S = 1$  є пасивним – жодних дій не виконує. Аналогічно комбінація  $S = 1$  і  $R = 0$

переводить тригер у стан «0» ( $Q = 0, \bar{Q} = 1$ ). Отже, для  $RS$ -тригера на елементах «І-Не» активними є рівні вхідних сигналів «0» – це відповідає умовному зображенню на рис. 3.3.3, б, а його переходи показано в табл. 3.3.3. Для того щоб відобразити нульові активні рівні сигналів  $S$  і  $R$ , їх доцільно позначати із знаком «#».

Слід звернути увагу на ту обставину, що в разі одночасної дії двох активних сигналів  $S_{\#} = R_{\#} = 0$  на виходах обох логічних елементів будуть значення «1». Це також особливий стан тригера, що не може ним зберігатися при поверненні сигналів  $S_{\#}$  і  $R_{\#}$  до пасивного рівня «1». Приклад дії цього тригера показано на рис. 3.3.9.

Таблиця 3.3.3

$S_{\#}$	$R_{\#}$	$Q(n)$	$/Q(n)$
1	1	$Q$	$Q$
1	0	0	1
0	1	1	0
0	0	1	1

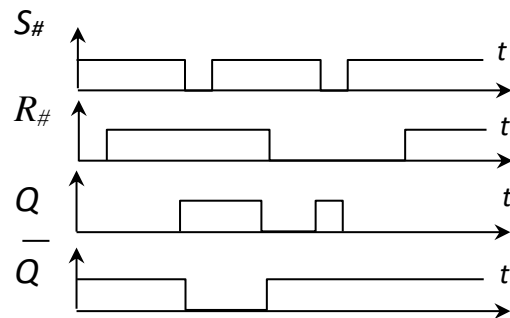


Рис. 3.3.9. Приклад дії тригера

Отже, робота  $RS$ -тригерів на елементах «І-Не» та «Або-Не» принципово відрізняється. Однак обидва тригери мають особливий стан за різних значень сигналів керування та з відмітними наслідками.

#### 3.3.2.4. Асинхронний тригер без особливого стану

Щоб уникнути особливого стану тригера, який виникає за певних комбінацій вхідних сигналів, до основного бістабільного елемента потрібно пристосувати відповідний вузол керування. Таким вузлом може бути аналогічний  $RS$ -тригер (рис. 3.3.10, а).

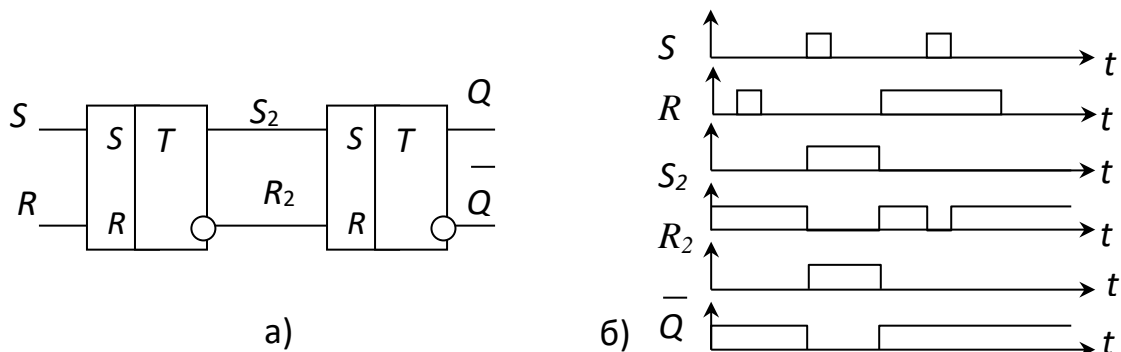


Рис. 3.3.10. Усунення особливого стану тригера (а) й приклад дії (б)

Коли вхідні сигнали вузла пасивні або взаємно інверсні, то на виході першого тригера (вузла керування) сигнали протифазні й встановлюють відповідний стан



другого (основного) тригера (рис. 3.3.10, б). Якщо вхідні сигнали вузла такі, що переводять перший тригер в особливий стан (тут  $S = R = 1$ ), то проміжні сигнали керування другим тригером пасивні ( $S_2 = R_2 = 0$ ) – він зберігає попередній стан. Умовне зображення такого тригера аналогічне й відповідає рис. 3.3.3, а.

### 3.3.2.5. Асинхронний тригер із динамічним керуванням

У низці випадків необхідно, щоб тригер реагував лише на певну зміну сигналу керування  $S$  чи  $R$ , наприклад, на перехід його від «1» до «0» (зріз) незалежно від наявного сталого значення іншого сигналу. Таке керування називається *динамічним*.

Тривіальний спосіб досягнення динамічного керування використовується в дискретній схемотехніці: вхідні сигнали попередньо вкорочуються (див. п. 3.5.2), щоб уникнути накладання активних рівнів  $S$  і  $R$ , а далі уже діють на входи звичайного  $RS$ -тригера зі статичним керуванням. Однак цей варіант не сприяє ні швидкості перемикань тригера, ні надійності, а формувачі коротких імпульсів ускладнюють пристрій. Тому в сучасній цифровій схемотехніці динамічне керування тригером досягається шляхом додаткового запам'ятовування вхідних сигналів та виявлення їх зміни. Один із варіантів побудови асинхронного тригера з динамічним керуванням показано на рис. 3.3.11.

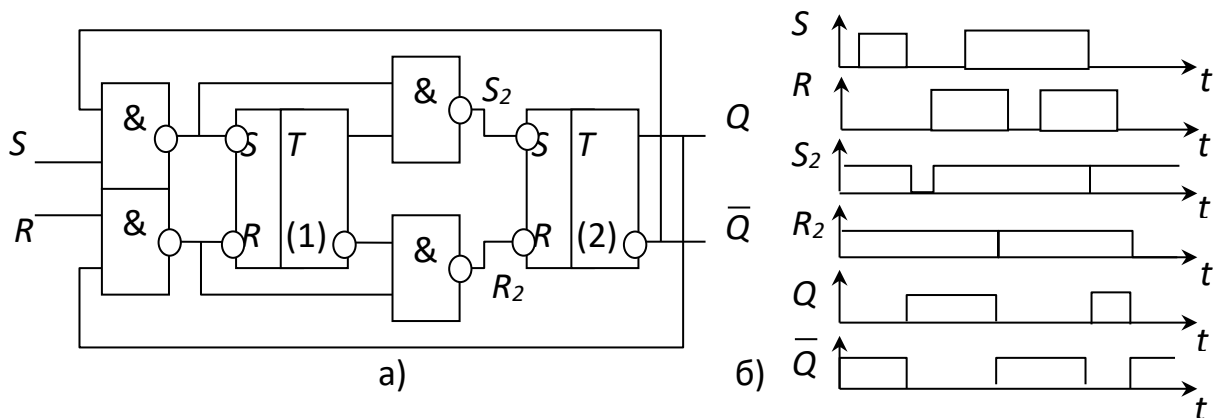


Рис. 3.3.11. Асинхронний тригер із динамічним керуванням (а)  
і приклад дії (б)

У цій схемі перший внутрішній тригер запам'ятовує наявність вхідного сигналу вузла  $S = 1$  або  $R = 1$ , але залежно від стану другого тригера – «0» чи «1» відповідно. Активний рівень сигналів керування другим (основним) тригером ( $S_2$  чи  $R_2$ ) виникає, коли відповідний вхідний сигнал ( $S$  або  $R$ ) з «1» переходить у «0», а зникає після зміни стану основного тригера, якщо другий сигнал керування є «1».

Отже, розглянутий тригер реагує на зміну вхідного сигналу від «1» до «0» незалежно від значення іншого сигналу, тобто має динамічне керування за зрізом. Умовне позначення такого тригера відповідає рис. 3.3.3, г.

Мікросхеми – набори асинхронних тригерів – маркуються у СНД літерами ТР. Наприклад, мікросхема 1533ТР2 містить чотири тригери звичайної структури (рис. 3.3.8) на елементах «І-Не». Існують також мікросхеми з іншим набором тригерів.

### 3.3.3. Синхронні тригери

#### 3.3.3.1. Синхронний RS-тригер із статичним керуванням

Із розгляду тригерних вузлів у пп. 3.3.1, 3.3.2 завдяки розгортанню їх дії в часі очевидним є те, що побудова послідовнісних вузлів за описом змін станів логічними функціями, навіть з використанням елементів пам'яті типу асинхронного тригера, є непростою задачею. Тому, для їх синтезу частіше спираються на декомпозицію задачі до рівня типових послідовнісних операцій, а для них завбачно розроблені відповідні типові вузли, серед них тригери з різноманітними входами керування й відповідними функціями переходів. При цьому серед входів керування є не тільки такі, що за певною логікою визначають наступний стан елемента пам'яті, але й вхід дозволу реагування на інформаційні сигнали – вхід тактування *Clock* (скорочено *C*). Тригери, у яких вплив інформаційних сигналів виявляється тільки під дією сигналу тактування, називаються *синхронними*. Своєю чергою, вхід тактування синхронного тригера може виявляти статичну або динамічну дію.

*Динамічним* називають таке тактування, коли зміна стану тригера відповідно до інформаційних сигналів відбувається тільки в момент активного перепаду сигналу *C*. Тоді цей вхід має додаткове позначення стрілкою або нахиленою рисою, як у п. 3.3.2. *Статичним* тактуванням називають таке, коли дія інформаційних входів тригера дозволяється в разі наявності активного рівня сигналу *C*. Іноді, щоб відрізнити вхід тактування зі статичною дією, його позначають як *EI (EnableInput)*.

Доречно зауважити, що структурно будь-який складний тригер є послідовнісним вузлом у складі елемента пам'яті (асинхронного тригера) та вузла керування, причому можуть бути також кола зворотного зв'язку (рис. 3.3.12).

Задачею вузла керування є утворення сигналів *S* і *R* для асинхронного тригера відповідно до логіки керування пристроєм у цілому. При цьому вузол керування теж може містити асинхронні тригери.

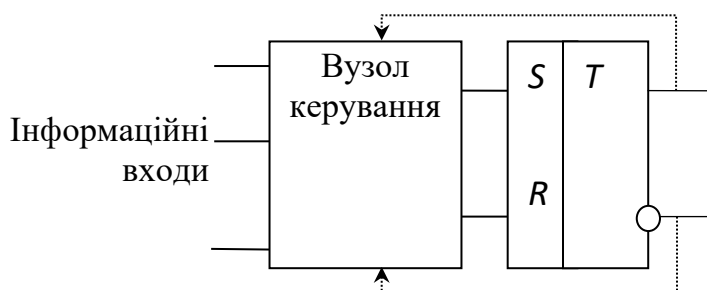


Рис. 3.3.12. Структура синхронного тригера

#### Будова й робота

**синхронного RS-тригера.** Цей тригер має три входи: інформаційні  $R_C$ ,  $S_C$  і тактувальний  $C$  (інформаційні входи позначено індексом «с», щоб відрізнити від входів асинхронного керування  $R$  та  $S$ ). Такий тригер реагує на

інформаційні сигнали  $R_C$  та  $S_C$ , лише коли сигнал тактування  $C$  активний ( $C = 1$ ). Дана логіка керування може бути описана через сигнали керування внутрішнім тригером, як

$$S = C \cdot S_C; R = C \cdot R_C.$$

Відповідно, це досягається шляхом доповнення структури асинхронного тригера елементами, які виконують операції «І» над парами сигналів  $C, S_C$  та  $C, R_C$  (рис. 3.3.13).

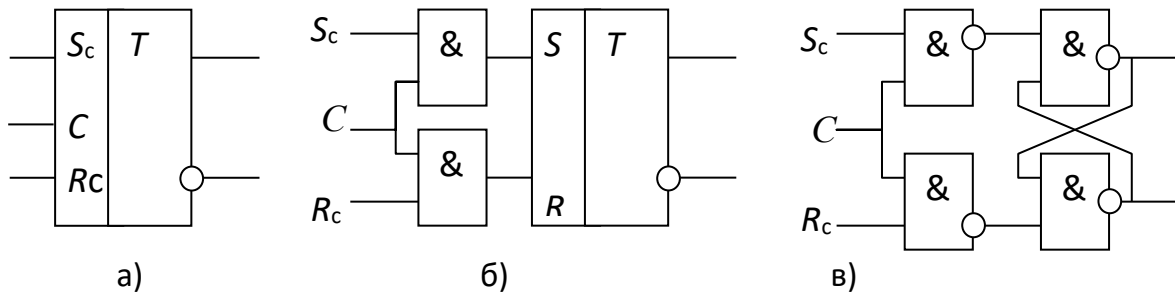


Рис. 3.3.13. Умовне зображення синхронного  $RS$ -тригера (а), варіант його логічної структури (б) та побудова на елементах «І-Не» (в)

До тих пір поки сигнал  $C = 0$ , зміна стану тригера неможлива – він зберігає попередній стан аналогічно, як при пасивних сигналах  $S_C = R_C = 0$ . Для встановлення тригера в стан «1» необхідно, щоб  $S_C = C = 1$ , а для скиду в «0» – щоб  $R_C = C = 1$ . Якщо одночасно сигнали  $S_C = R_C = C = 1$ , то стан виходів тригера залежить від будови його основи – внутрішнього асинхронного тригера. Так, у разі побудови останнього на двох елементах «Або-Не», згідно з рис. 3.3.13, б, це призведе до переведення тригера в особливий стан із нульовими сигналами на обох виходах, а у варіанті тригера на елементах «І-Не» (рис. 3.3.13, в) буде особливий стан зі значеннями вихідних сигналів «1». Порядок переходів останнього тригера показано в табл. 3.3.4, а приклад дії – на рис. 3.3.14.

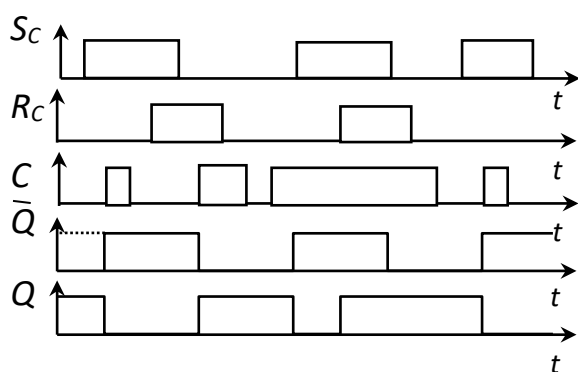


Рис.3.3.14. Приклад дії тригера

Таблиця 3.3.4

$C$	$S_C$	$R_C$	$Q(n)$	$\overline{Q}(n)$
0	*	*	$Q$	$\overline{Q}$
1	0	0	$Q$	$\overline{Q}$
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

Отже, сигнал тактування  $C = 1$  дозволяє тригеру реагувати на інформаційні сигнали  $S_C$  та  $R_C$ . Однак розглянутий тригер теж має особливий стан, коли вхідні сигнали одночасно активні. Через це він, як окремий інтегральний виріб, не зустрічається, але використовується як структурний елемент деяких інших тригерів.

### 3.3.3.2. Одноступеневий JK-тригер

Тригерами JK-типу називаються такі синхронні тригери, що мають два інформаційні входи:  $J$  (*Jerk*) і  $K$  (*Kill*), які подібно до входів синхронного RS-тригера, дозволяють його встановлення та скидання відповідно. Однак, якщо обидва ці сигнали одночасно активні ( $J = K = 1$ ), то наступний стан тригера буде протилежним попередньому, тобто він не має особливого стану. Крім того, вхід тактування тригерів виявляє динамічну дію – зміна стану виходів JK-тригера відбувається тільки в момент активного перепаду сигналу тактування  $C$  (за його фронтом чи зрізом – залежно від будови).

Отже, коли на тактовому вході JK-тригера  $C$  діє активний перепад сигналу, то тригер набуває стану «1» або «0» залежно від наявності дозволу  $J$  чи  $K$  відповідно, а якщо обидва ці сигнали активні ( $J = K = 1$ ), то тригер буде змінювати свій стан на протилежний. Така властивість є корисною для багатьох варіантів застосування тригера і досягається наявністю в ньому зворотних зв'язків. Логіка дії JK-тригера без додаткових функцій і особливостей притаманна його одноступеневому варіанту побудови (умовне зображення на рис. 3.3.15, а логічна структура на рис. 3.3.16). Порядок керування цим тригером ілюструють табл. 3.3.5 та рис. 3.3.17.

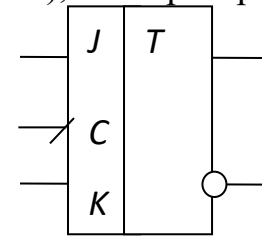


Рис. 3.3.15. JK-тригер

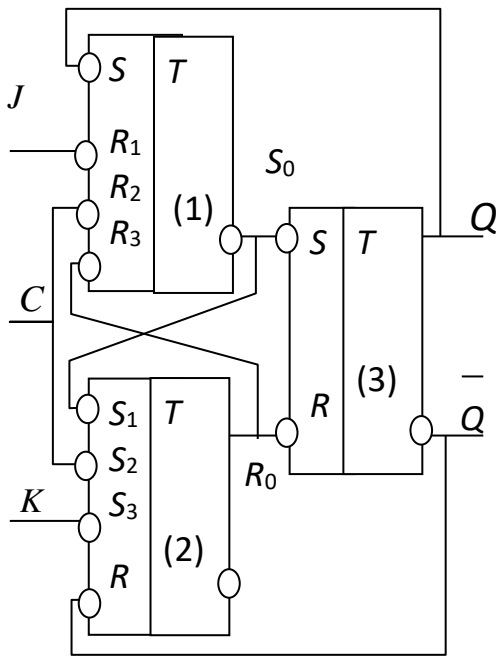


Рис. 3.3.16. Структура одноступеневого JK-тригера

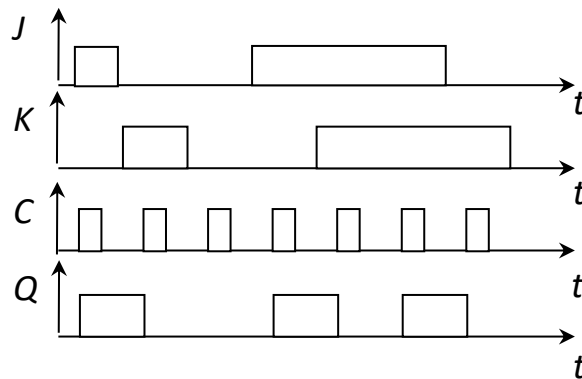


Рис.3.3.17. Приклад дії JK-тригера

Таблиця 3.3.5

$J$	$K$	$C$	$Q(n)$
0	0	0/1	$Q$
0	1	0/1	0
1	0	0/1	1
1	1	0/1	$\bar{Q}$

У табл. 3.3.5 позначенням «0/1» показано перехід  $C$  від «0» до «1» – фронт сигналу. Виходи цього тригера можуть змінювати свій стан тільки за фронтом сигналу тактування, що відображено в його умовному зображенні відповідною рисою на вході  $C$  (рис. 3.3.15). Зазначена властивість забезпечується вузлом

керування на двох асинхронних тригерах (рис. 3.3.16), які мають декілька рівноцінних входів  $S$  чи  $R$  завдяки застосуванню у своїй структурі елементів «І-Не» з відповідною кількістю входів.

*Приклад дії вузла керування.* Нехай сигнали:  $Q = 0$ ,  $J = 1$ ,  $K = 1$ , а  $C = 0$  і далі змінюється на «1». Доти поки  $C = 0$ , перший і другий асинхронні тригери знаходяться в особливому стані, а тому видають на третій команду на рівні «1», не змінюючи його стану (рис. 3.3.16). Із появою  $C = 1$  у першому тригері складаються умови для встановлення стану «1», завдяки чому на його інверсному виході з'являється «0». Це активний рівень сигналу керування третім (вихідним) тригером  $S_0 = 0$ , що переводить його в стан «1». Незважаючи на те, що з інверсного виходу першого тригера на вхід  $R$  другого тригера діє сигнал «0», це не може його скинути, оскільки завдяки зв'язку між інверсним виходом першого тригера й входом  $S$  другого той підтримується в особливому стані, тобто на вході третього тригера сигнал  $R_0 = 1$ . Відповідно, у дії вузла керування використовуються як основні, так і особливий стан асинхронних тригерів.

Отже, новий стан одноступеневого  $JK$ -тригера залежить лише від того, які сигнали присутні на входах  $J$  і  $K$  у момент фронту сигналу тактування. Однак з урахуванням терміну спрацьовування елементів вузла керування, потрібен певний інтервал незмінності інформаційних сигналів перед фронтом сигналу  $C$  і після нього.

### 3.3.3.3. Двоступеневий $JK$ -тригер

Таблиця 3.3.6

$J$	$K$	$C$	$Q(n)$
0	0	1/0	$Q$
0	1	1/0	0
1	0	1/0	1
1	1	1/0	$\overline{Q}$

Принципово відмітний від попереднього варіант  $JK$ -тригера із двоступеневою структурою «майстер-помічник». Для підкреслення цієї різниці в його умовному зображенні застосовується позначка «ТТ» (рис. 3.3.18). Зазвичай, такий тригер може змінювати свій стан при переході сигналу  $C$  від «1» до «0» (табл. 3.3.6), про що свідчить і позначення входу тактування

$C$ .

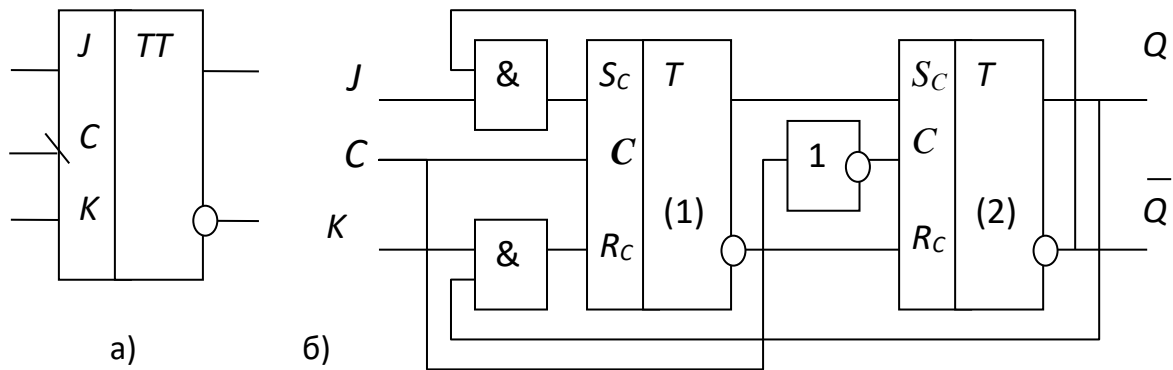


Рис. 3.3.18. Двоступеневий  $JK$ -тригер (а) і його структура (б)

Будова такого тригера ґрунтується на використанні двох синхронних  $RS$ -тригерів, увімкнених послідовно (рис. 3.3.18), з використанням зворотного зв'язку з виходів на внутрішні входи.

Важливо, що, коли сигнал  $C = 1$ , то першому синхронному  $RS$ -тригеру дозволяється реагувати на вхідні сигнали, а другому  $RS$ -тригеру, завдяки інвертору, змінювати стан заборонено. Тоді перший тригер буде встановлений у такий стан, який визначається об'єднанням за «І» пар вхідних та вихідних сигналів  $JK$ -тригера:  $S_{C1} = J \cdot \overline{Q}$ ,  $R_{C1} = K \cdot Q$ . Наприклад, якщо на вході  $J = 1$ , а вихідний тригер у стані «0», то на перший елемент «І» надходять всі рівні «1». Тому перший  $RS$ -тригер переводиться у стан «1». Слід зауважити: якби було значення  $K = 1$ , то нічого б не змінилося, оскільки з прямого виходу на другий елемент «І» надходить значення «0». Коли сигнал  $C$  набуває значення «1», то першому  $RS$ -тригеру змінювати стан забороняється (у ньому сигнал  $C = 0$ ), а другому дозволяється (на його вході  $C = 1$ ). Завдяки зв'язку прямого та інверсного виходів першого тригера з інформаційними входами  $S_i$  та  $R_i$  другого останній набуває того самого стану, що й перший.

Аналогічно відбувається зміна стану  $JK$ -тригера, якщо на його входах  $J$  і  $K$  одночасно були значення «1». Але тоді перший тригер встановлюється в «0» завдяки другому елементу «І», а з появою  $C = 0$  також у «0» переводиться другий складовий тригер.

Отже, наявність перехресного зв'язку з виходів  $JK$ -тригера на його внутрішні входи за  $J = K = 1$  забезпечує зміну його стану на протилежний.

Однак двоступеневі  $JK$ -тригери мають особливість керування. Якщо  $C = 1$ , неважливо, як сигнали  $J$  і  $K$  отримували значення «1» – постійно чи короткочасно. Навіть якщо до моменту зрізу сигналу  $C$  сигнали  $J$  або  $K$  від значення «1» повернуться в «0», тригер буде реагувати аналогічно, як у ситуації постійної присутності «1». Це ілюструє рис. 3.3.19. Через зазначену обставину одноступеневі та двоступеневі  $JK$ -тригери не завжди можна замінити один одним.

Інтегральні мікросхеми  $JK$ -тригерів маркуються літерами ТВ. Типові інтегральні  $JK$ -тригери можуть мати як по одному, так і по декілька рівнозначних входів  $J$  і  $K$  з об'єднанням їх у групи операцією «І», як, наприклад, у тригері 1533ТВ1 (рис. 3.3.20). У такому випадку значення  $J = 1$  або  $K = 1$  тільки тоді, коли на всіх входах, позначених з об'єднанням, будуть активні рівні сигналів.

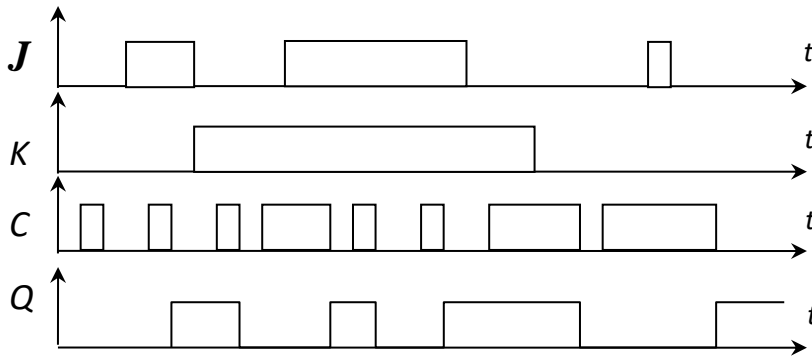


Рис.3.3.19. Приклад дії двоступеневого JK-тригера

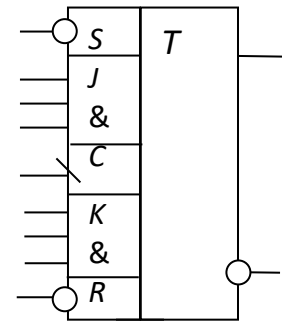


Рис.3.3.20. Тригер 1533ТВ1

Зазвичай у синхронних тригерів ще є входи асинхронного керування  $R$  та  $S$ , причому з пріоритетною дією, тобто активний рівень сигналу на таких входах діє безумовно, забороняючи синхронне керування. Наприклад, якщо на входах тригера на рис. 3.3.20 буде  $S = 1$  і  $R = 0$ , то, незалежно від інших сигналів, тригер буде перебувати в стані «0».

### 3.3.3.4. D-тригери зі статичним тактуванням

Загалом D-тригери призначені для побудови вузлів запам'ятовування даних (звідси і назва), причому запис інформації відбувається сигналом тактування. Відповідно, D-тригер – це синхронний тригер, що має два входи: інформаційний (позначається  $D$ ), сигнал на якому визначає наступний стан тригера, та вхід тактування, сигнал на якому вказує момент запису інформації в тригер. Різновиди D-тригерів відрізняються умовою встановлення нового стану – вони поділяються на D-тригери з динамічним та статичним тактуванням.

Встановлення нового стану D-тригера зі статичним тактуванням відбувається за присутності на вході  $C$  активного рівня – сигналу  $C = 1$ . Коли ж на вході  $C$  відсутній активний рівень ( $C = 0$ ), то тригер залишається в попередньому стані – зберігає інформацію (табл. 3.3.7). Відповідно, функція переходів такого тригера буде:

$$Q(n) = Q(n-1) \cdot \bar{C} \vee D \cdot C.$$

D-тригер, який розглядається, ще має назву «тригер – заціпка даних» у тому розумінні, що за  $C = 1$  дані проходять у тригер і на вихід, а якщо  $C = 0$  – залишаються незмінними. Приклад умовного позначення такого тригера показано на рис. 3.3.21, а.

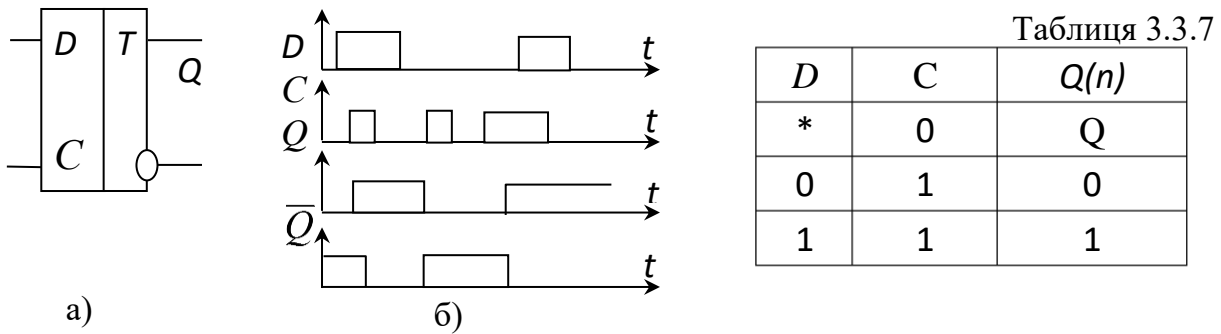


Рис. 3.3.21. *D*-тригер зі статичним тактуванням (а) і приклад його дії (б)

За порядком дії цей тригер подібний до синхронного *RS*-тригера, тільки має один інформаційний сигнал (*D*) та діє альтернативно. Відповідно, *D*-тригер із статичним тактуванням можна утворити із синхронного *RS*-тригера, якщо сигнали  $S_C$  та  $R_C$  для останнього утворити з вхідного *D* за логікою  $S_C = D$ ,  $R_C = \bar{D}$ . Виконання тригера на елементах «І-Не» відповідає структурі на рис. 3.3.22, а.

Сигнали  $S_{0\#}$  і  $R_{0\#}$  керування елементом пам'яті описуються так:

$$S_{0\#} = \bar{D} \cdot C = \bar{D} \vee \bar{C}; \quad R_{0\#} = \overline{\bar{D} \cdot C} = \overline{S_{0\#}} \cdot C.$$

У даному виразі за дистрибутивним законом і законом доповнювання у виразі  $(\bar{D} \cdot C)$  замість змінної  $\bar{D}$  використано терм  $\bar{D} \vee \bar{C}$ , що спрощує структуру *D*-тригера (рис. 3.3.22, б).

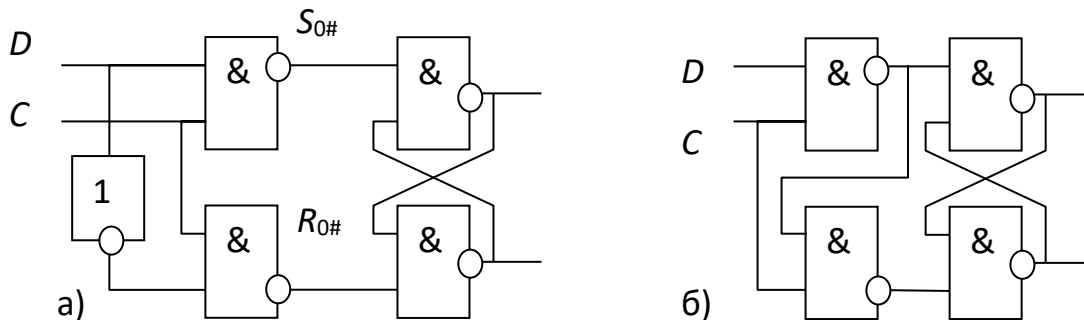


Рис. 3.3.22. Варіанти будови *D*-тригера зі статичним тактуванням

Загалом, *D*-тригери зі статичним тактуванням мають обмежену сферу застосування, оскільки на них неможливо будувати пристрої із зворотним зв'язком (див. п. 3.3.4.2).

### 3.3.3.5. Одноступеневий *D*-тригер із динамічним тактуванням

У цифрових пристроях переважно використовують *D*-тригери з входом тактування *C* динамічної дії. Такий *D*-тригер змінює свій стан тільки в момент активного перепаду сигналу на вході *C* (табл. 3.3.8). Умовне позначення подібного *D*-тригера, що спрацьовує за фронтом імпульсу тактування, та приклад його дії показано на рис. 3.3.23, а, б.



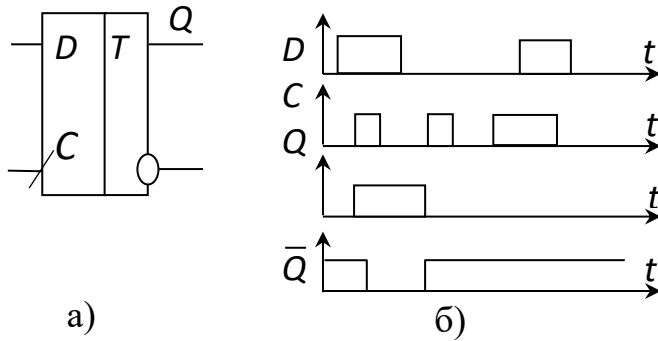


Рис. 3.3.23. Одноступеневий D-тригер (а) і приклад його дії (б)

Таблиця 3.3.8

D	C	Q(n)
*	1\0	Q
0	0/1	0
1	0/1	1

За будовою D-тригери з динамічним тактуванням поділяються на одноступеневі та двоступеневі. Найбільшого поширення набули перші, оскільки містять менше логічних елементів. Їх структуру показано на рис. 3.3.24, вона має спільні ознаки з одноступеневим JK-тригером (див. рис. 3.3.16). При цьому

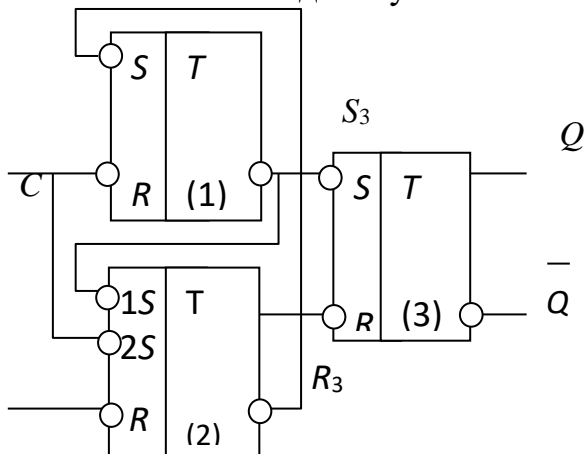


Рис. 3.3.24. Одноступеневий D-тригер

властивість динамічного тактування досягається завдяки подібному використанню основних та особливих станів асинхронних тригерів № 1 і 2, причому другий має два рівнозначних входи S.

*Приклад дії одноступеневого D-тригера.* Нехай у початковий момент вхідні сигнали  $D = C = 0$ . Оскільки  $C = 0$ , то першим тригером створюється внутрішній сигнал  $S_3 = 1$ , а на входах другого тригера  $S_2 = 0$  і  $R = 0$ , тому його виходи в особливому

стані. Тоді сигнал  $R_3 = 1$ , і третій тригер зберігає свій попередній стан. Якщо за  $C = 0$  на вхід D надійде «1», то другий RS-тригер переходить у нормальний стан «1», а з його інверсного виходу на вхід S першого надійде «0», тобто на його входах R і S активні рівні – він в особливому стані, тому сигнали  $S_3$  та  $R_3$  для третього тригера залишаються пасивними.

Коли за  $D = 1$  сигнал C стає «1», то перший тригер, завдяки появі  $R = 1$  за умови  $S = 0$ , переходить у нормальний стан «1», створюючи активний рівень сигналу керування третім  $S_3 = 0$  – вихідний тригер переходить у стан «1». Одночасно підтверджується стан «1» другого тригера, через що сигнал  $R_3$  пасивний («1»). Отже, вихід тригера реагує на сигнал D тільки під час фронту сигналу C.

### 3.3.3.6. Двоступеневі D-тригери

У низці технологій цифрових ІМС, зокрема ЕЗЛ, D-тригери використовують лише зі статичним тактуванням. Однак поєднання двох таких тригерів, увімкнених послідовно та з протифазним тактуванням, утворює D-тригер із

динамічним керуванням. Подібна структура (рис. 3.3.25, а) отримала назву «двоступенева». Порядок дії цього тригера показано на рис. 3.3.25, в.

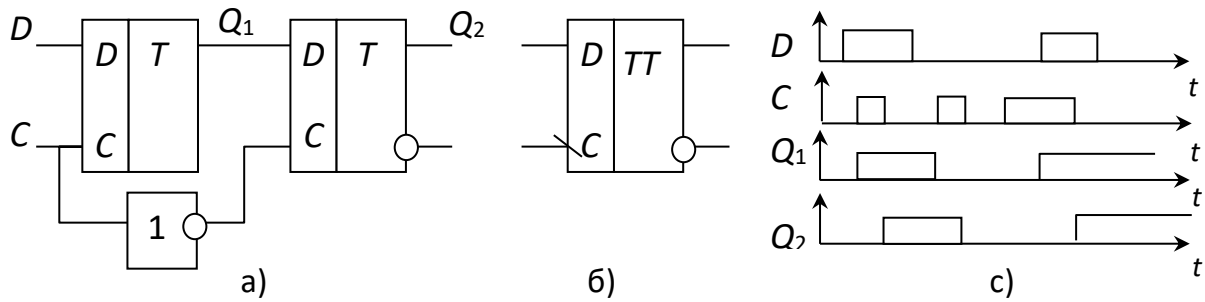


Рис. 3.3.25. Двоступеневий  $D$ -тригер (а), зображення (б) і приклад його дії (в)

Так, якщо на вході  $C$  рівень «1», то перший тригер приймає інформацію з входу  $D$  та передає її ( $Q_1$ ) на вхід другого, але останньому змінювати стан заборонено завдяки наявності на його тактовому вході значення «0». Із появою на вході  $C$  значення «0» стан першого тригера фіксується, а другий встановлюється відповідно до першого, оскільки отримує  $C = 1$  ( $Q_2$  на рис. 3.3.25, в). Отже, стан виходу вузла змінюється за зрізом сигналу тактування  $C$ , що відповідає позначенню  $D$ -тригера на рис. 3.3.25, б.

Таблиця 3.3.9

$D$	$C$	$Q(n)$
*	0/1	$Q$
0	1\0	0
1	1\0	1

Порівнюючи таблиці переходів  $D$ -тригерів із динамічним тактуванням (табл. 3.3.8, 3.3.9) та  $JK$ -тригерів (див. табл. 3.3.5, 3.3.7), можна помітити, що в  $JK$ -тригері достатньо утворити сигнали  $J = D$  та  $K = \neg D$ , і він перетвориться в  $D$ -тригер. Адже тоді, якщо  $D = 1$ , буде  $J = 1$ , а  $K = 0$ , то наступний стан тригера «1». Якщо на вході  $D = 0$ , то  $J = 0$ , а  $K = 1$ , то наступний стан тригера буде «0». Це ілюструють рис. 3.3.26, а, де використано одноступеневий  $JK$ -тригер. Деякі інтегральні  $JK$ -тригери мають інвертований вхід  $K$  (наприклад КР555ТВ15), що спрощує подібне перетворення (рис. 3.3.26, б).

Загалом, мікросхеми – набори  $D$ -тригерів – маркуються літерами ТМ. Так, ІМС 1533ТМ2 містить два тригери, як на рис. 3.3.27.

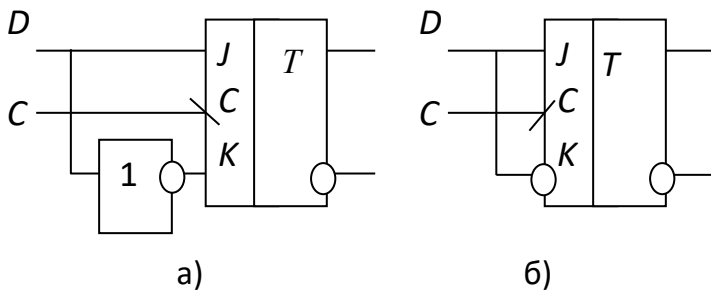


Рис. 3.3.26. Утворення  $D$ -тригерів з  $JK$

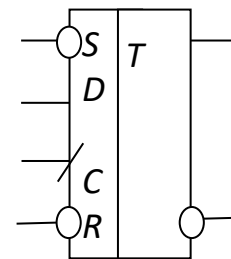


Рис. 3.3.27. Тригер 1533ТМ2

Основне призначення всіх *D*-тригерів – побудова вузлів запам’ятовування інформації. Однак *D*-тригери з динамічним тактуванням мають ширшу сферу застосування, про що йдеться далі.

### 3.3.3.7. Тригери *T*-типу

Досить поширеною ситуацією в цифровій техніці є випадки, коли потрібен тригер з одним входом динамічного тактування, який змінює свій стан за кожним активним перепадом вхідного імпульсу. Тактовий вхід такого тригера позначають *T* (*Toggle*) або *C*, а сам тригер називається *T*-тригером. Різновиди таких тригерів у застосуванні відрізняються лише моментом спрацьовування – за фронтом або за зрізом імпульсу тактування, а також наявністю додаткових входів керування. Зокрема, *T*-тригери, зазвичай, мають вхід асинхронного скидання *R* для встановлення початкового стану  $Q = 0$  (рис. 3.3.28, табл. 3.3.10).

Важливо, що як *T*-тригер можуть використовуватися тригери з динамічним тактуванням: *JK*-, *D*- та динамічно керований асинхронний *RS*-тригер. Зокрема, в останньому випадку достатньо об’єднати його входи керування в спільний вхід тактування *T* (рис. 3.3.29, а). Дійсно, відповідно до логіки дії базового тригера (див. п.3.3.2.5), за кожним активним перепадом обох сигналів керування спрацьовує лише той із них, що приводить до зміни стану тригера.

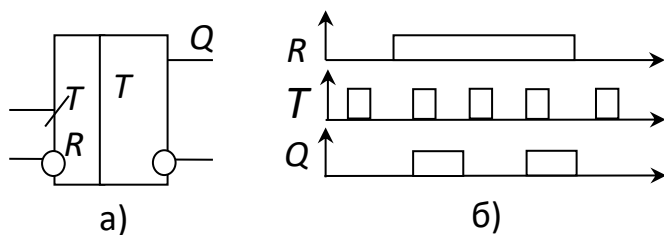


Рис. 3.3.28. *T*-тригер (а) та приклад його дії (б)

Таблиця 3.3.10

<i>R</i>	<i>T</i>	$Q(n)$
1	1\0	<i>Q</i>
1	0/1	<i>Q</i>
0	*	0

Стосовно *JK*-тригера відомо, що він може змінювати свій стан на протилежний із кожним тактовим імпульсом *C*, якщо сигнали  $J = K = 1$ , тобто для утворення *T*-тригера з *JK*-тригера в останньому на входи *J* та *K* необхідно подати рівні «1» (рис. 3.3.29, б).

Щоб досягти такої самої дії тригера *D*-типу, доцільно скористатися тим, що його наступний стан повинен бути протилежним до поточного, причому новий стан вказується сигналом на вході *D*. Тому, для утворення *T*-тригера з *D*-тригера в останньому необхідно вхід *D* з’єднати з його інверсним виходом (рис. 3.3.29, в). Потрібно підкреслити, що для побудови *T*-тригера може використовуватися тільки *D*-тригер із динамічним керуванням. Інакше під час присутності на вході тактування рівня «1» тригер весь час буде змінювати свій стан.

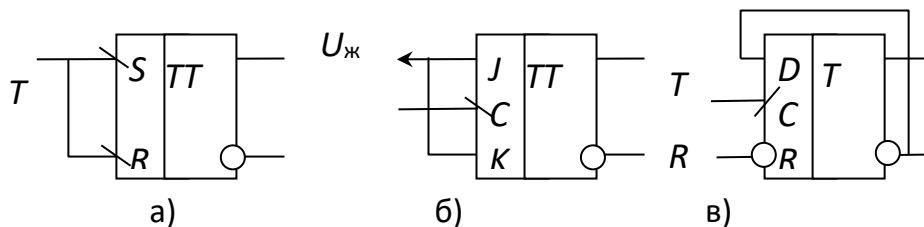


Рис. 3.3.29. Утворення  $T$ -тригерів

У низці випадків потрібно керувати спрацьовуванням  $T$ -тригера – дозволяти чи забороняти реагувати йому на імпульси тактування. Для цього  $T$ -тригер повинен мати додатковий вхід дозволу спрацьовування « $E$ » (чи  $V$  – *Valve*, рис. 3.3.30, а). Відповідні тригери отримали назву керованих  $T$ -тригерів ( $TE$ - або  $TV$ -тригери).

Тригер з указаною логікою керування ( $TE$ -тригер) утворюється з  $JK$ - завдяки об'єднанню входів  $J$  та  $K$ , що разом виконують роль входу керування  $E$  (рис. 3.3.30, б). Дійсно, якщо  $E = 0$ , тоді  $J = K = 0$  – зміна стану тригера заборонена, а якщо  $E = 1$  – дозволена (рис. 3.3.30).

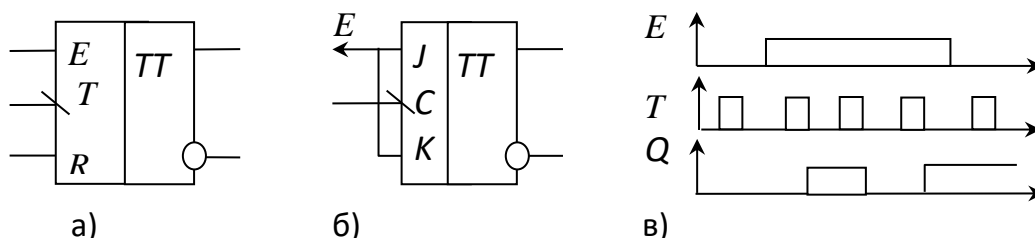


Рис.3.3.30. Керований  $T$ -тригер (а), його структура (б) та приклад дії (в)

*Примітка.* Застосувати для подібного керування звичайний  $T$ -тригер та додатково елемент «І» на його вході тактування не завжди коректно, оскільки обидва входи такого вузла будуть еквівалентними.

Отже, існує значне різноманіття тригерів, які істотно відрізняються логікою керування, що в цілому задовольняє потреби побудови різноманітних цифрових пристроїв. Найуніверсальнішим є тригер  $JK$ -типу з додатковими входами асинхронного керування, оскільки в ньому найбільше розвинута логіка керування зміною стану і на його основі можна побудувати переважну більшість інших типів тригерів та послідовнісних цифрових вузлів.

### 3.3.4. Регістри

Тригери є основою для побудови різноманітних послідовнісних вузлів. Найпростіші серед них регістри, що призначені для приймання, збереження та видачі двійкового коду. За способом приймання розрядів цього коду регістри поділяються на *паралельні* (ще називають регістри пам'яті) та *послідовні* (регістри зсуву).

#### 3.3.4.1. Паралельні регістри

Паралельні регістри здатні приймати й видавати двійкові коди одночасно всіма розрядами. Оскільки запис коду потребує фіксації значення кожного його розряду, що можна виконати  $D$ -тригером, то очевидним є те, що будь-який регістр складається з відповідної кількості саме таких тригерів. У паралельному регістрі розряди коду подаються на інформаційні входи  $D$ -тригерів, а їх входи тактування об'єднуються в одну лінію керування записом. Це обумовлює структуру паралельного регістра, у якому можуть використовуватися  $D$ -тригери як зі статичним, так і з динамічним керуванням, що показано на рис. 3.3.31, а та рис. 3.3.31, б відповідно. Залежно від того, який із типів  $D$ -тригерів використано для побудови регістра, останні поділяються на дві групи: зі статичним та динамічним тактуванням запису інформації.

В умовному зображенні паралельних регістрів вказуються літери  $RG$  (рис. 3.3.32). Їх інформаційні входи  $D_1, \dots, D_k$  ще можуть позначатися  $D_{I1}, \dots, D_{Ik}$  (від *DataInput*), а виходи –  $D_{O1}, \dots, D_{Ok}$  (*DataOutput*), причому такі лінії зазвичай нумеруються від нуля. Інтегральні паралельні регістри крім інформаційних входів можуть мати й додаткові: загального обнулення (скидання)  $R$  (*Reset*) та керування вихідними каскадами  $OE$ .

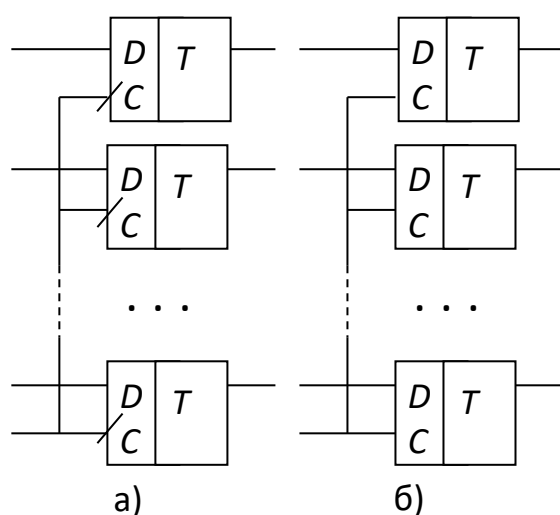


Рис. 3.3.31. Будова регістрів із динамічним (а) та зі статичним (б) керуванням

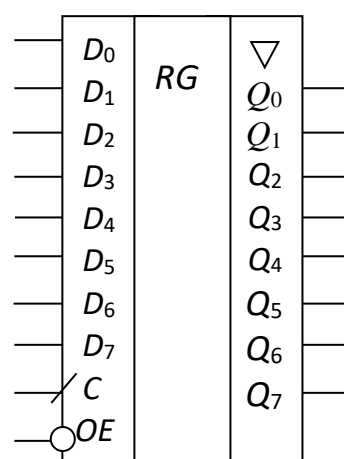


Рис. 3.3.32. Регістр КР1533ІР23

Інтегральні мікросхеми регістрів маркуються в СНД літерами ІР, а іноді ТМ – як набір  $D$ -тригерів. Зокрема, часто використовуються восьмирозрядні регістри з виходами, що мають три стани, такі як 1533ІР22 та 1533ІР23 – перша мікросхема є регістром зі статичним керуванням, а друга – з динамічним (рис. 3.3.32).

Доцільно зауважити, що обидва види паралельних регістрів дещо різняться стосовно швидкості передачі інформації на вихід. Так, за динамічного керування стан входів фіксується в регістрі за фронтом (або зрізом) імпульсу запису  $C$ . А за статичного керування є істотна відмітність – поки сигнал запису (завантаження)  $C = 1$ , вхідна інформація повторюється на виходах регістра, а стан виходів

фіксується в разі появи значення сигналу  $C = 0$ . Відповідно, запис інформації в регістр із статичним керуванням може відбуватися в такій послідовності: спочатку  $C = 1$ , потім подача вхідного коду (одночасно він з'являється і на виходах), далі знову  $C = 0$  – відбувається фіксація коду в тригерах регістра (рис. 3.3.33, а), а вхідний код регістра вже може змінюватися.

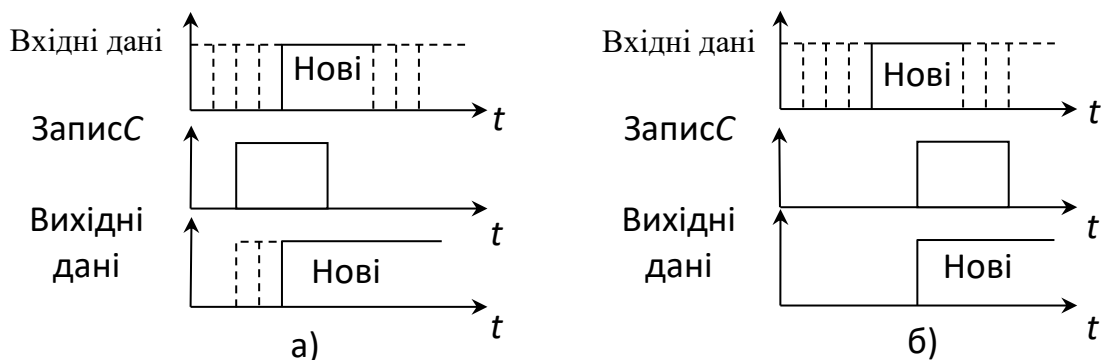


Рис. 3.3.33. Запис інформації в регістри: зі статичним керуванням (а) та з динамічним за фронтом (б)

Запис інформації в регістр з динамічним керуванням за фронтом може відбуватися лише в такій послідовності: спочатку сигнал  $C = 0$ , потім подача вхідного коду, далі перехід сигналу запису  $C$  з «0» в «1» (код фіксується в тригерах регістра і з'являється на виході). Після цього вхідний код регістра уже може змінюватися (рис. 3.3.33, б), а момент повернення сигналу  $C$  в «0» принципового значення не має.

Порівнюючи між собою роботу регістрів із статичним та динамічним керуванням (рис. 3.3.33, а, б), можна дійти висновку, що перші забезпечують швидшу передачу вхідного коду на вихід майже без затримки, а для регістрів із динамічним керуванням принципово потрібна затримка тактового імпульсу запису  $C$  відносно зміни інформаційних сигналів  $D_i$ . Однак регістри зі статичним керуванням неможливо застосовувати у пристроях із зворотним зв'язком, тому вони є все-таки менш поширеними.

### 3.3.4.2. Нагромаджуючий суматор

Комбінаційні двійкові суматори (п. 3.2.5) дозволяють додавати два двійкових коди  $A$  і  $B$ , обраховуючи їх суму  $S = A + B$ , але не запам'ятовують результату додавання  $S$ . Однак іноді виникає задача додавання великої кількості двійкових кодів, що досягається внаслідок не одночасного, а почергового додавання чисел  $X(n)$  з обраховуванням часткової суми  $S(n)$ :

$$S(n) = S(n-1) + X(n).$$

Для подібного додавання необхідно утримувати (фіксувати) попередню суму  $S(n-1)$ , тобто весь час запам'ятовувати результат додавання та знову використовувати його в подальшому додаванні. Із цією метою комбінаційний

суматор доповнюють паралельним регістром (регістром пам'яті), у якому повинен фіксуватися черговий результат додавання  $S(n)$  (рис. 3.3.34).

Щодо роботи такої схеми, то на початку регістр обнуляється сигналом  $R = 1$ , тобто  $S(0) = 0$ . Далі подається код першого числа  $X(1)$ , який додається в суматорі до  $S(0) = 0$ , а результат  $S(1) = S(0) + X(1)$  надходить на інформаційні входи регістра. У певний момент повинен надійти тактовий імпульс  $C$ , який записує цю суму в регістр. Тепер на виході регістра буде код першої суми  $S(1) = X(1) + 0$ , що знову надходить на другий вхід суматора. У цей час на виході суматора буде результат додавання  $S(1)$  до  $X(1)$ , який не потрібен, але він не запишеться у регістр, оскільки на його вході  $C$  діє стале значення сигналу, на яке регістр з динамічним керуванням не реагує. Коли на суматор надійшов код другого числа  $X(2)$ , потрібно знову подати тактовий імпульс запису  $C$ , щоб зафіксувати в регістрі код нової суми  $S(2) = S(1) + X(2)$ , і так далі.

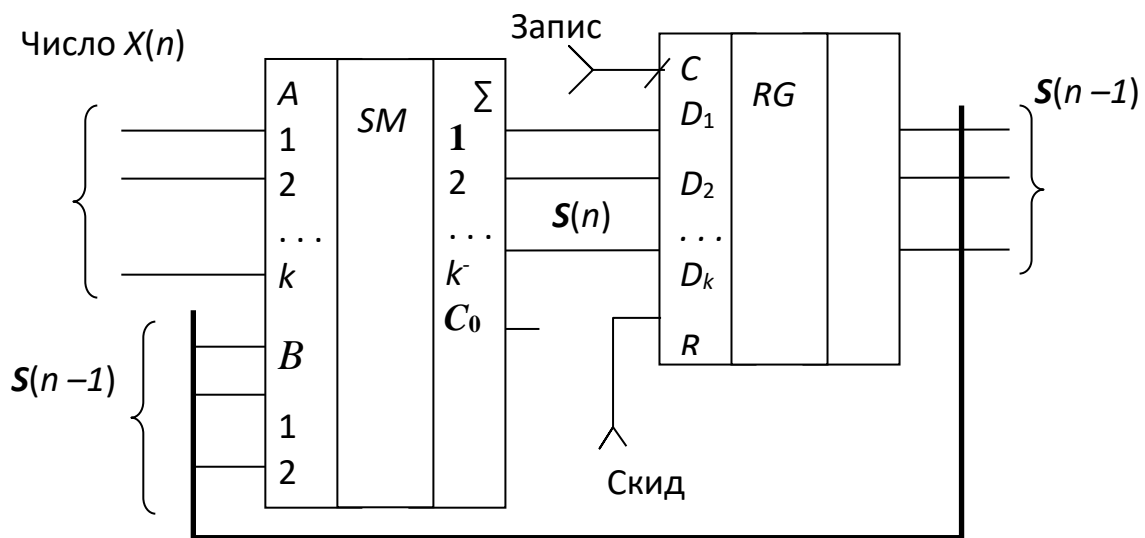


Рис. 3.3.34. Нагромаджуючий суматор

В іншому випадку, коли б у пристрої застосовувався регістр із статичним керуванням, то нагромаджуючий суматор не міг би правильно діяти, оскільки під час імпульсу запису (тобто коли сигнал  $C = 1$ ) код суми  $S(n)$  по колу зворотного зв'язку «суматор-регістр-суматор» багаторазово додавався б до вхідного коду  $X(n)$ .

### 3.3.4.3. Регістри зсуву та комбіновані регістри

**Регістрами зсуву** називають такі тригерні вузли, які здатні приймати двійковий код послідовно розряд за розрядом. Знімати вихідний код при цьому можна як паралельно, так і послідовно.

Операцію зсуву коду регістри можуть виконувати в один бік – від молодшого розряду до старшого (вважається праворуч, а на умовному зображенні – донизу) та в обидва боки. В останньому випадку регістри називають реверсивними. Вхід бітів даних для зсуву праворуч позначається « $D_{>}$ » (раніше  $D_R$ ), а ліворуч – « $2D_{<}$ » ( $D_L$ ) (рис. 3.3.35, а). Функція зсуву коду позначається « $SRG$ » (раніше  $RG \rightarrow$ ).

Оскільки приймання розрядів коду в регістрі виконується  $D$ -тригерами, то їх зсув коду полягає в передачі інформації від одного тригера до іншого. Для цього  $D$ -тригери за виходами та інформаційними входами з'єднуються послідовно (рис. 3.3.35, б), а вхід  $D$  першого тригера є інформаційним входом регістра  $D_{>}$ . Виходи регістра зсуву, залежно від його призначення, можуть бути від кожного тригера або від останнього.

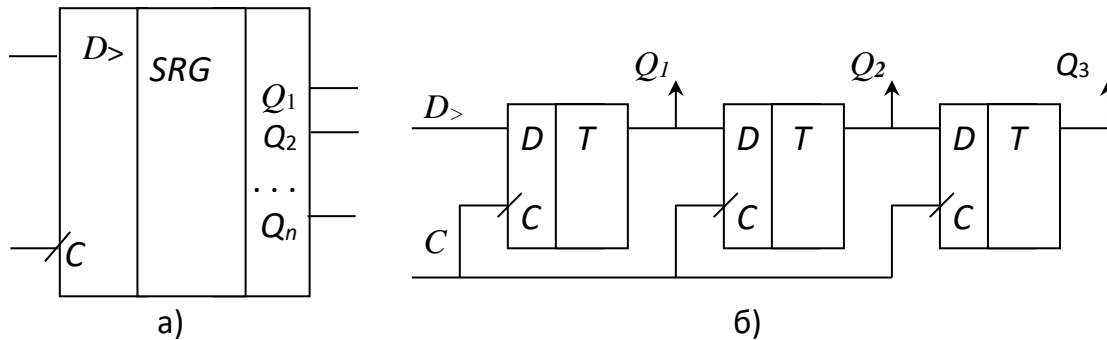


Рис. 3.3.35. Зображення регістра зсуву (а) та його структура (б)

Тактові імпульси, що надходять на входи  $C$  усіх тригерів одночасно, забезпечують зсув коду, який зберігався в регістрі, кожен раз на одну позицію.

При цьому останній тригер встановлюється в стан передостаннього, той – у стан попереднього і так далі, а перший приймає вхідний сигнал  $D_{>}$  – новий біт коду.

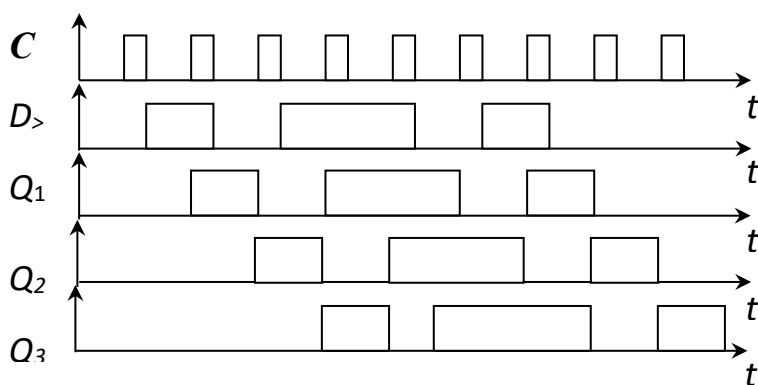


Рис. 3.3.36. Порядок дії регістразсуву

Із діаграм сигналів (рис. 3.3.36) можна помітити той факт, що після зсувів у кількості, що дорівнює кількості тригерів регістра, в них буде прийнятий код у формі паралельного (тут для чотирьох розрядів).

Отже, одне з основних призначень регістра зсуву – перетворення послідовного

двійкового коду в паралельний. Подібна задача виникає у всіх послідовних інтерфейсах мікропроцесорних пристроїв (п. 3.6.5), зокрема, між клавіатурою й системним блоком ПЕОМ.

Із діаграм на рис. 3.3.36 можна помітити, що сигнали на виходах тригерів регістра зсуву подібні – відрізняються лише затримкою в часі. Тому, якщо вхідний інформаційний сигнал  $D_{>}(n)$  отримується з темпом тактування, то на першому виході регістра він затриманий на один такт, на другому – на два такти і т. д.:

$$Q_1(n) = D_{>}(n-1); Q_2(n) = Q_1(n-1) = D_{>}(n-2); \dots Q_k(n) = D_{>}(n-k).$$



Інше призначення регістра зсуву – затримка послідовних двійкових кодів. Це використовується в різноманітних пристроях обробки та генерування кодових послідовностей (п. 3.3.5).

Порівнюючи між собою схемотехнічну реалізацію паралельних регістрів та регістрів зсуву, можна помітити, що останні відрізняються наявністю інформаційного зв'язку між тригерами. Тому паралельний регістр можна перетворити в регістр зсуву завдяки зовнішнім зв'язкам, як показано на рис. 3.3.37.

Дуже важливою операцією в ході передачі інформації через послідовні інтерфейси є перетворення паралельного двійкового коду в послідовний. Для цього перетворення теж є можливість застосувати регістр зсуву. Однак у тригери такого регістра необхідно деяким чином увести заданий початковий код як у паралельний регістр, а вже потім виконувати його зсув.

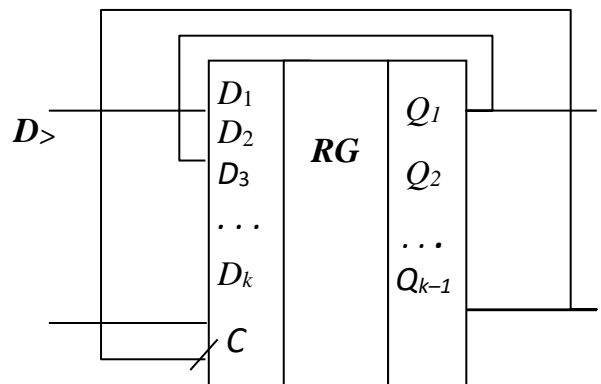


Рис. 3.3.37. Утворення регістра зсуву

Практика побудови цифрових пристроїв показала необхідність регістрів, що здатні працювати у двох режимах: приймати паралельний код та зсувати його розряди. Такі регістри **комбіновані**. Для реалізації зазначеної функції в них забезпечується зміна структури з'єднань між тригерами, а для цього необхідний комутатор (мультиплексор), як на рис. 3.3.38. Також потрібен сигнал керування режимом роботи регістра «L/S». Коли  $L/S = 0$ , то мультиплексор передає на свої виходи код із входів  $A_1, A_2, \dots$ . Тому утворюється регістр зсуву, як на рис. 3.3.37. Навпаки, якщо  $L/S = 1$ , мультиплексор передає на свої виходи код із входів  $B_1, B_2, \dots$ , а тому утворюється паралельний регістр.

Подібну організацію має, зокрема, регістр К555ІР1, за винятком того, що в ньому ще й комутуються імпульси тактування – для зсуву  $C_1$ , а для завантаження –  $C_2$  (рис. 3.3.39). Дія цих входів дозволяється відповідно до значення сигналу вибору режиму роботи: за  $L/S = 1$  мікросхема діє як паралельний регістр з динамічним тактуванням за входом  $C_2$ , а якщо  $L/S = 0$  – як регістр зсуву.

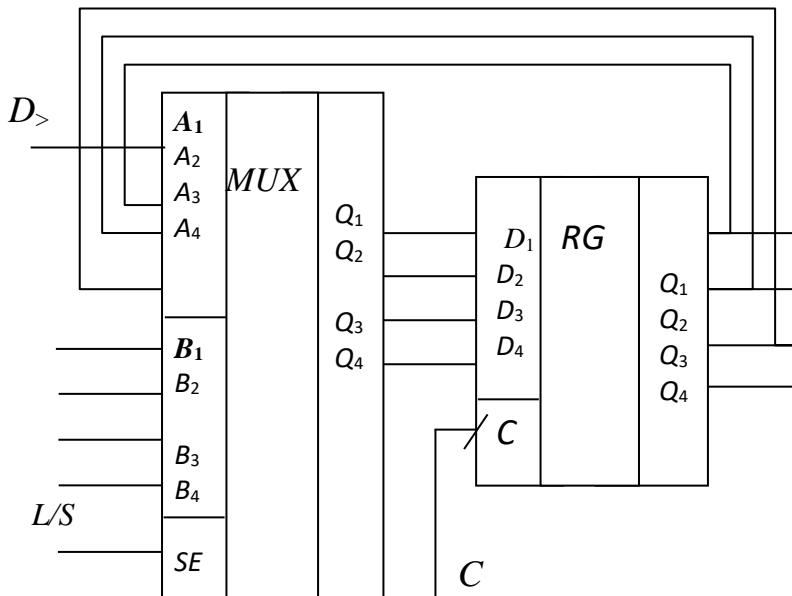


Рис. 3.3.38. Структура комбінованого регістра

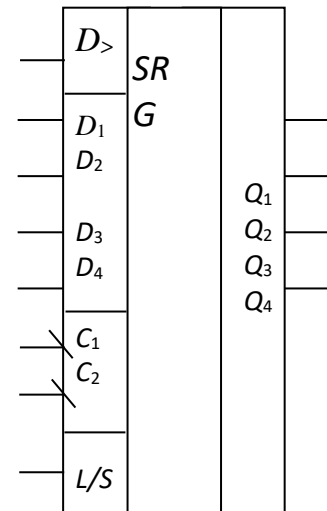
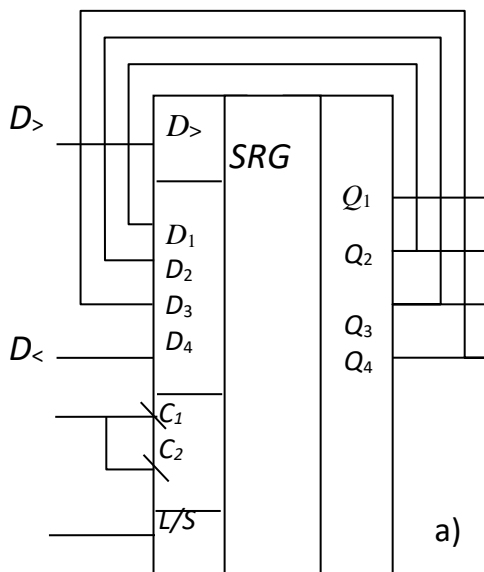


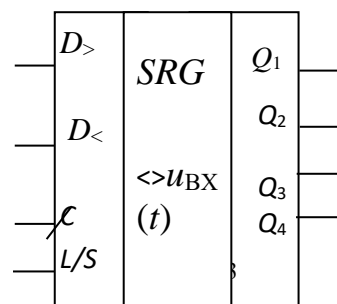
Рис. 3.3.39. Регістр 555IP1

Існують інтегральні регістри із ширшими функціональними можливостями – комбіновані реверсивні. Вони можуть приймати паралельний код, а також зсувати його як праворуч, так і ліворуч. Прикладом такого виробу є восьмирозрядний регістр КР155ІР13.

Реверсивний регістр можна побудувати і на основі розглянутого 555IP1 завдяки зовнішнім зв'язкам (рис. 3.3.40). Так, якщо  $L/S = 1$ , код у регістрі з кожним тактовим імпульсом зсувається ліворуч, причому останній тригер встановлюється відповідно до вхідного сигналу  $D_L$ . Якщо  $L/S = 0$ , регістр працює штатно й за кожним тактовим імпульсом код у ньому зсувається праворуч, причому перший тригер встановлюється відповідно до сигналу  $D_>$ .



а)



б)

Рис. 3.3.40. Утворення реверсивного регістра (а) і його зображення (б)

Отже, об'єднання  $D$ -тригерів за входами тактування  $C$  дозволяє приймати двійкові коди або зсовувати їх розряди, залежно від зв'язків між тригерами. Регістри зсуву дозволяють перетворювати послідовні коди в паралельні. Комбіновані регістри є більш універсальними, оскільки можуть оперувати як з паралельними, так і з послідовними кодами та взаємно їх перетворювати.

### 3.3.5. Застосування регістрів зсуву для формування бінарних послідовностей

Раніше було показано, що регістри зсуву дозволяють утримувати декілька значень бінарного сигналу, що були в попередніх тактах роботи пристрою:  $x(n)$ ,  $x(n-1)$ ,  $x(n-2)$ , і т.д. Указана властивість регістрів зсуву надає можливість будувати вузли, що у своїй роботі потребують рекурсії – використовують попередні значення сигналів. Зокрема, для рекурсивних цифрових фільтрів сигналів, рекурсивних генераторів бінарних послідовностей та кодів тощо. Далі розглянуто декілька важливих прикладів таких вузлів.

#### 3.3.5.1. Кільцеві подільники-розподільники імпульсів

У багатьох випадках для синхронізації роботи частин цифрового пристрою потрібно мати декілька імпульсних послідовностей однієї частоти, зсунутих у часі. Для цього можна застосувати подільник-розподільник імпульсів на регістрі зсуву. Принцип його дії полягає в попередньому записі в регістр однієї одиниці, яка далі тактовими імпульсами пересувається по тригерах регістра, з'єданого в кільце (рис. 3.3.41, а). Тому на кожному виході регістра з'являються імпульси з темпом, меншим за частоту тактування в стільки разів, що дорівнює кількості  $k$  тригерів у регістрі. Ці імпульсні послідовності мають взаємний зсув (рис. 3.3.41, б).

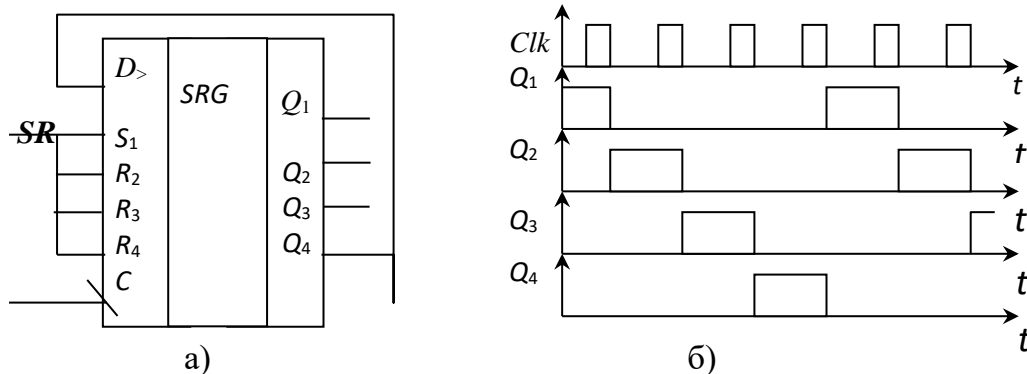


Рис. 3.3.41. Варіант кільцевого розподільника (а) та порядок його дії (б)  $lg f$

Простота побудови розглянутого вузла є обманною, оскільки насправді його важко застосувати. По-перше, до початку роботи вузла потрібно певним чином увести в регістр одну одиницю – сформувати імпульс  $SR$  (рис. 3.3.41, а), який буде діяти на окремі входи асинхронного керування тригерів регістра. По-друге, потрібно забезпечити стійкість до можливих порушень у роботі вузла, наприклад, у разі обнулення або появи в регістрі декількох одиниць унаслідок

збою. Тому зазначений вузол потрібно будувати так, щоб встановлення необхідного стану тригерів регістра відбувалося автоматично з довільного початкового стану.

Цього можна досягти, якщо сигнал зворотного зв'язку регістра зсуву утворювати певним комбінаційним вузлом, який аналізує стани тригерів. Зокрема, інформаційний сигнал  $D_{>}$  на встановлення «1» у першому розряді повинен виникати, коли на всіх виходах регістра, крім останнього  $Q_k$ , присутні «0». Для цього до інформаційного входу регістра необхідно під'єднати додатковий вузол із логікою дії, що описується як

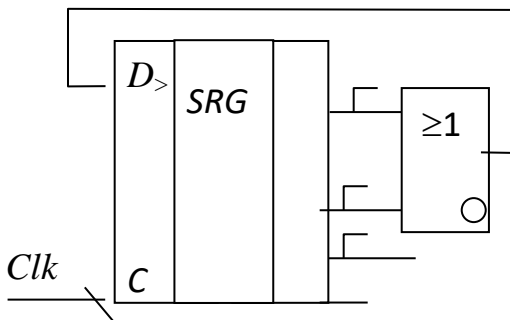


Рис. 3.3.42. Структура кільцевого подільника для  $k = 4$

$$D_{>} = \overline{Q_1 Q_2 \dots Q_{k-1}} = \overline{Q_1} \vee \overline{Q_2} \vee \dots \vee \overline{Q_{k-1}}.$$

Відповідно, схема стійкого до збоїв кільцевого подільника-розподільника імпульсів для випадку  $k = 4$  набуває вигляду, як на рис. 3.3.42.

У ній, якщо в тригерах, які аналізуються, буде 0, то елемент «Або-Не» створить сигнал  $D_{>}$  рівня «1» і тим запустить роботу вузла.

Якщо ж у цих тригерах є хоч одна одиниця, то, навпаки,  $D_{>} = 0$  і регістр заповнюється нулями. Тому вузол входить у нормальний режим роботи з довільного початкового стану.

Розглянутий кільцевий подільник використовується, зокрема, в кільцевих лічильниках, що працюють у кодї Джонсона (п. 3.3.6).

### 3.3.5.2. Генерування $M$ -последовностей

У системах передачі інформації та в радіолокації набули широкого поширення послідовності бінарних сигналів  $y(n)$ , які мають ніби хаотичний характер, проте є наперед відомими та ще періодичними. Їх називають *квазивипадковими бінарними послідовностями*. Серед таких найпоширенішими є так звані бінарні  $M$ -последовності.

Характерна ознака  $M$ -последовності: кожен її елемент  $y(n)$  визначається рекурентно з урахуванням певної кількості  $k$  попередніх значень за таким співвідношенням:

$$y(n) = a_1 y(n-1)(+) a_2 y(n-2)(+) \dots (+) a_k y(n-k). \quad (3.3.2)$$

При формуванні такої послідовності додавання виконується «за модулем 2», а коефіцієнти  $a_i$  мають значення або 0, або 1. Ці коефіцієнти визначаються з вибраного спеціального полінома  $P(x)$ , що є примітивним (тобто коефіцієнти  $a_i \in 0$  та 1) і не розкладається на множники:

$$P(x) = 1 + a_1 x + a_2 x^2 + \dots + a_k x^k.$$

Вибраний поліном називають *твірним* для  $M$ -последовності. Нехай для прикладу твірний поліном

$$P(x) = x^4 + x^3 + 1, \text{ тобто } a_1 = a_2 = 0, a_3 = a_4 = 1.$$

Йому відповідає рекурентне співвідношення для  $M$ -послідовності

$$y(n) = y(n-4) \oplus y(n-3).$$

Щоб визначити структуру  $M$ -послідовності, потрібно вказати не тільки рекурентне співвідношення для її елементів, але ще й перші  $k$  її елементів (кількість  $k$  дорівнює степеню твірного полінома). Очевидно, що ці перші елементи одночасно не можуть бути 0, оскільки тоді всі інші елементи  $M$ -послідовності теж будуть 0:

$$y(5) = y(5-3) \oplus y(5-4) = y(2) \oplus y(1) = 0 \oplus 1 = 1$$

$$y(6) = y(3) \oplus y(2) = 0 \oplus 0 = 0; \dots$$

У підсумку  $M$ -послідовність має вигляд:

$$1000100110101111000100110\dots$$

Із прикладу видно, що період  $N$  цієї послідовності становить  $N = 15$  елементів, а кількість значень коду, що дорівнюють 1, на один більше від кількості «0». Останнє є характерним для такої послідовності та пов'язаним з виключенням нульового початкового стану. Що стосується періоду  $N$ , то, залежно від вибраного полінома, він може бути як максимальним ( $N_{\max}$ ), так і меншим:

$$N = N_{\max} = 2^k - 1 \text{ або } N = 2^{k-m} - 1,$$

де  $m$  – ціле число, причому  $m < k$ .

Реально застосовуються  $M$ -послідовності з періодом  $N$  у сотні (127, 255, 511,...) і більше тактів. Однак не завжди використовуються твірні поліноми максимального періоду, а більш важливо досягти мінімальних кореляційних зв'язків між елементами послідовності (кращих параметрів хаотичності).

Таблиця 3.3.11

Період	Початок	Степені
15	1	4, 1
31	17h	5, 2
63	3Eh	6, 1
127	7	7, 3
255	FFh	8, 4, 3, 2
511	1FFh	9, 4
1023	3FFh	10, 7
2047	7FFh	11, 2
4095	FFFh	12, 6, 4, 1
8191	1FFFh	13, 4, 3, 1

У табл. 3.3.11 наведено ряд твірних поліномів у вигляді показників степенів змінної та значення початкових блоків для  $M$ -послідовностей різного періоду з мінімальним рівнем автокореляційної функції в межах періоду.

Так, у деяких випадках для розрахунку наступного елемента послідовності використовуються не два, а чотири

попередніх елементи, а при великих степенях полінома  $P(x)$  – і більше ( $2^p$ ) елементів, що додаються.

Найбільш поширений варіант побудови генератора  $M$ -послідовності ґрунтується на застосуванні регістра зсуву, оскільки він разом із суматором «за модулем 2» дозволяє безпосередньо реалізувати рекурентне співвідношення (3.3.2).

Структуру подібного генератора для розглянутого прикладу показано на рис. 3.3.43. У ній суматор «за модулем 2» аналізує задані попередні елементи  $M$ -послідовності, які зберігає регістр. Завдяки цьому утворюється новий елемент послідовності  $y(n)$ . Черговий тактовий імпульс  $Clk$  у регістрі пересовує попередні елементи послідовності, а на його першому виході встановлює останній елемент  $y(n)$ . Завдяки цьому суматор утворює вже наступний елемент  $y(n+1)$  і т. д.

Вихід генератора, зазвичай, утворюють із певного виходу самого регістра, де послідовності відрізняються зсувом у часі.

Ще деякі важливі властивості генератора  $M$ -послідовності:

кодові комбінації в регістрі за період роботи  $N$  містять, не повторюючись, всі набори значень, крім нульового;

сума «за модулем 2» сигналів довільних виходів регістра теж дає  $M$ -послідовність, але зсунуту в часі відносно наявних у регістрі;

якщо здійснити інвертування вихідного сигналу суматора, то вся послідовність буде інверсною, а недопустимим початком стане комбінація  $\{11\dots 1\}$ .

Важливою задачею є встановлення регістра в заданий початковий стан. На рис. 3.3.43 внесення елементів  $y(1), \dots, y(k)$  показано шляхом дії сигналу  $SR$  на вибрані входи асинхронного керування тригерами регістра  $S$  чи  $R$ . В інтегральних регістрах таких входів немає. Але можна використовувати комбінований регістр із режимом завантаження.

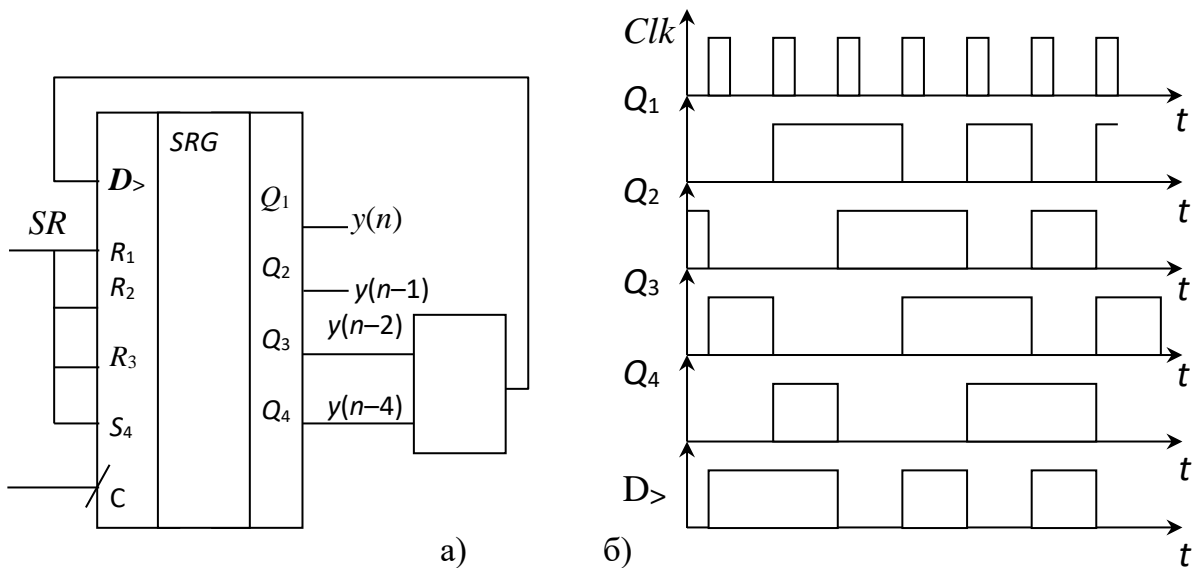


Рис. 3.3.43. Приклад структури генератора  $M$ -послідовності (а)

Типове застосування генератора  $M$ -послідовності для систем зв'язку – у скремблерах, де існує спотворення цифрового потоку, а також для додаткової модуляції широкосмугових сигналів.

### 3.3.6. Двійкові лічильники

#### 3.3.6.1. Класифікація лічильників

Поширеною операцією в цифрових пристроях є підрахунок кількості імпульсів. Цифрові вузли, що виконують таку задачу, називаються **лічильниками**. Їх поділяють за видом результату – вихідного коду числа та особливостями внутрішньої структури. За видом вихідного коду, головним чином, використовуються лічильники двійкові та двійково-десяткові, а в окремих випадках також лічильники в кодах Джонсона та Грея (п. 3.1.1.3). Зокрема, лічильники в коді Джонсона будуються переважно на основі регістрів зсуву (п. 3.3.5.1).

*Двійковим* називають лічильник, код результату у якому змінюється за двійковим законом, тобто має позиційну структуру з вагою розрядів 1–2–4–8– і т.д. На його виходах вказується або ця вага, або степені двійки. *Двійково-десятковий лічильник* відрізняється від двійкового тим, що в кожній четвірці розрядів (тетраді), починаючи з молодших, код змінюється тільки від 0 до 9.

**Позначення в лічильниках.** Якщо значення вихідного коду двійкового чи двійково-десяткового лічильника з кожним імпульсом зростає, то лічильник називають таким, що додає (підсумовує), якщо зменшується – таким, що віднімає, а якщо лічильник допускає зміну напрямку рахунку – реверсивним. Вхід імпульсів для додавання позначається «+1» або  $UP$  (рис. 3.3.44, а), для віднімання – «-1». Реверсивні лічильники мають або обидва вказані входи (рис. 3.3.44, б), або єдиний вхід тактування « $T$ » та додатково вхід керування напрямком рахунку « $U/D$ » (рис. 3.3.44, в): якщо  $U/D = 1$  – додає, а за  $U/D = 0$  – віднімає. На входах «+1», «-1» і  $T$  додатково позначається умова зміни вихідного коду лічильника: за фронтом або за зрізом вхідного імпульсу. Лічильник, зазвичай, має і вхід  $R$  для обнулення. Функціональне позначення лічильників –  $CTR$ , після чого може вказуватися розрядність коду, але у двійково-десятковому лічильнику замість неї наводиться функція поділу « $DIV 10$ » (рис. 3.3.44, б).

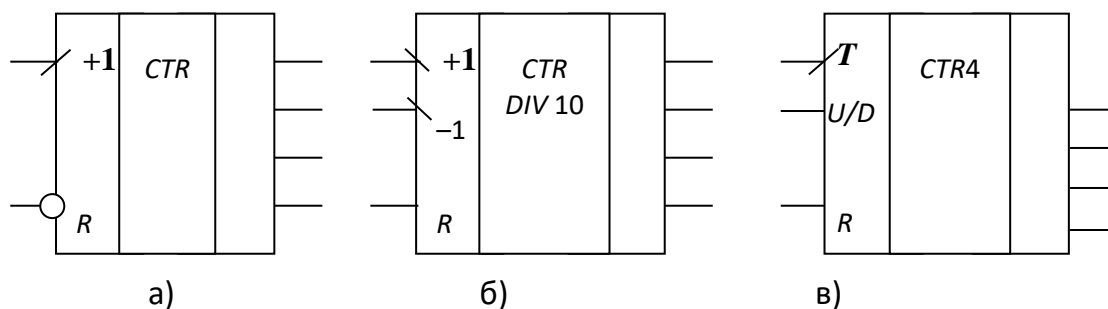


Рис. 3.3.44. Умовні зображення лічильників

У будь-якому лічильнику через певну кількість вхідних імпульсів  $M_p$  код повторюється. Це число називається *модулем рахунку*, воно обмежує діапазон однозначного рахунку кількості імпульсів (менше  $M_p$ ).

Виходячи з умови жорсткості прив'язки моментів зміни розрядів вихідного коду лічильника до активних перепадів вхідних імпульсів, їх поділяють на *синхронні* та *асинхронні*.

*Примітка.* Раніше функція рахунку позначалася як  $CT$  із зазначенням числа – модуля рахунку або ознаки двійкового коду «2».

### 3.3.6.2. Асинхронні двійкові лічильники

Двійковому закону залежності вихідного коду лічильника від кількості вхідних імпульсів відповідає таблиця переходів (табл. 3.3.12). Відповідно до неї кожен вхідний імпульс змінює стан першого виходу лічильника ( $Q_1$ ). Сигнал на другому виході ( $Q_2$ ) змінюється при переході першого розряду ( $Q_1$ ) від «1» до «0». Аналогічно сигнал на кожному наступному виході повинен змінюватися на протилежний при переході попереднього розряду від «1» до «0».

Оскільки зміна стану виходу на протилежний – це типова операція для  $T$ -тригера, то двійковий лічильник можна побудувати, увімкнувши послідовно  $T$ -тригери (рис. 3.3.45). При цьому вхід тактування кожного наступного тригера потрібно під'єднати так, щоб зміна його стану відбувалася під час переходу попереднього саме від «1» до «0».

Тому тригери, що спрацьовують за фронтом, під'єднуються до інверсного виходу попереднього вузла (як на рис. 3.3.45), а якщо за зрізом – до прямого.

*Примітка.* Для втілення такого лічильника на D- або JK-тригерах виконується заміна ними  $T$ -тригерів згідно з п. 3.3.3.

**Лічильники, що віднімають.** З кожним вхідним імпульсом такі лічильники зменшують значення коду, а тому з'єднання тригерів у них інше – забезпечує зміну стану наступного тригера при переході попереднього від «0» до «1». Їх таблиця переходів на відміну від табл. 3.3.12 розгортається у зворотному напрямку, що еквівалентно прямому, але з інвертованими значеннями сигналів. Тому лічильник, що віднімає, можна утворити з лічильника, що додає, шляхом інвертування його вихідних сигналів.

Таблиця 3.3.12

$n$	...	$Q_3$	$Q_2$	$Q_1$
0		0	0	0
1		0	0	1
2		0	1	0
3		0	1	1
4		1	0	0
5		1	0	1
6		1	1	0
7		1	1	1
8		0	0	0
9		0	0	1
10		0	1	0
...		...	...	...



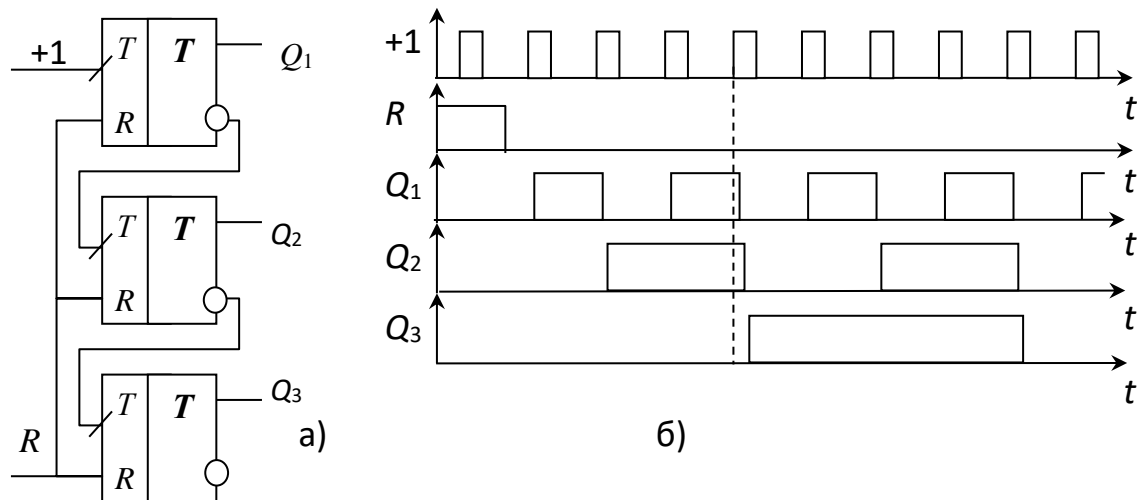


Рис. 3.3.45. Побудова асинхронного лічильника (а) і приклад його дії (б)

Незважаючи на простоту структури розглянутого лічильника, вона має дуже обмежене застосування через істотний недолік: чим більше розрядів, тобто тригерів, тим більше часу проходить від моменту дії вхідного імпульсу до встановлення вихідного коду. Особливо довго встановлюється останній тригер. Причина цього явища – у додаванні затримок спрацьовування всіх тригерів лічильника (див. момент, помічений на рис. 3.3.45 пунктиром).

Отже, розряди коду розглянутого лічильника змінюються несинхронно з вхідними імпульсами, тобто асинхронно. Звідси і його назва. Також зустрічаються назви структурної ознаки: «*послідовний лічильник*» і «*лічильник пульсацій*».

### 3.3.6.3. Принципи побудови синхронних лічильників

Для забезпечення синхронності зміни розрядів вихідного коду лічильника необхідно, щоб вхідні імпульси надходили на всі його тригери одночасно, але при цьому потрібно забезпечити такий самий порядок зміни стану тригерів, як і в асинхронному лічильнику, зокрема, для лічильника, що додає, згідно з табл. 3.3.12. При цьому стосовно першого тригера жодних проблем не виникає, оскільки вхідний імпульс і в асинхронному лічильнику діє на нього безпосередньо, тобто тут може бути звичайний  $T$ -тригер. Стосовно другого тригера

з табл. 3.3.12 можна помітити: він повинен реагувати тільки на той тактовий імпульс, який надходить за наявності на першому значення  $Q_1 = 1$ . Тому другий тригер повинен бути керованим  $T$ -тригером, з дозволом спрацьовування  $E$  від сигналу  $Q_1$ . Далі з табл. 3.3.12 впливає, що третій тригер повинен реагувати тільки на ті імпульси, які надходять у разі наявності одиниць у перших двох тригерах одночасно:  $Q_1 = Q_2 = 1$ . Цього можна досягти, застосувавши знову  $T$ -тригер, що керується уже об'єднаними операцією «І» сигналами перших двох. За аналогією четвертий тригер повинен реагувати тільки на та імпульси, яка надходять у момент наявності рівнів «1» у попередніх трьох ( $Q_1 = Q_2 = Q_3 = 1$ ) і так далі (рис. 3.3.46).

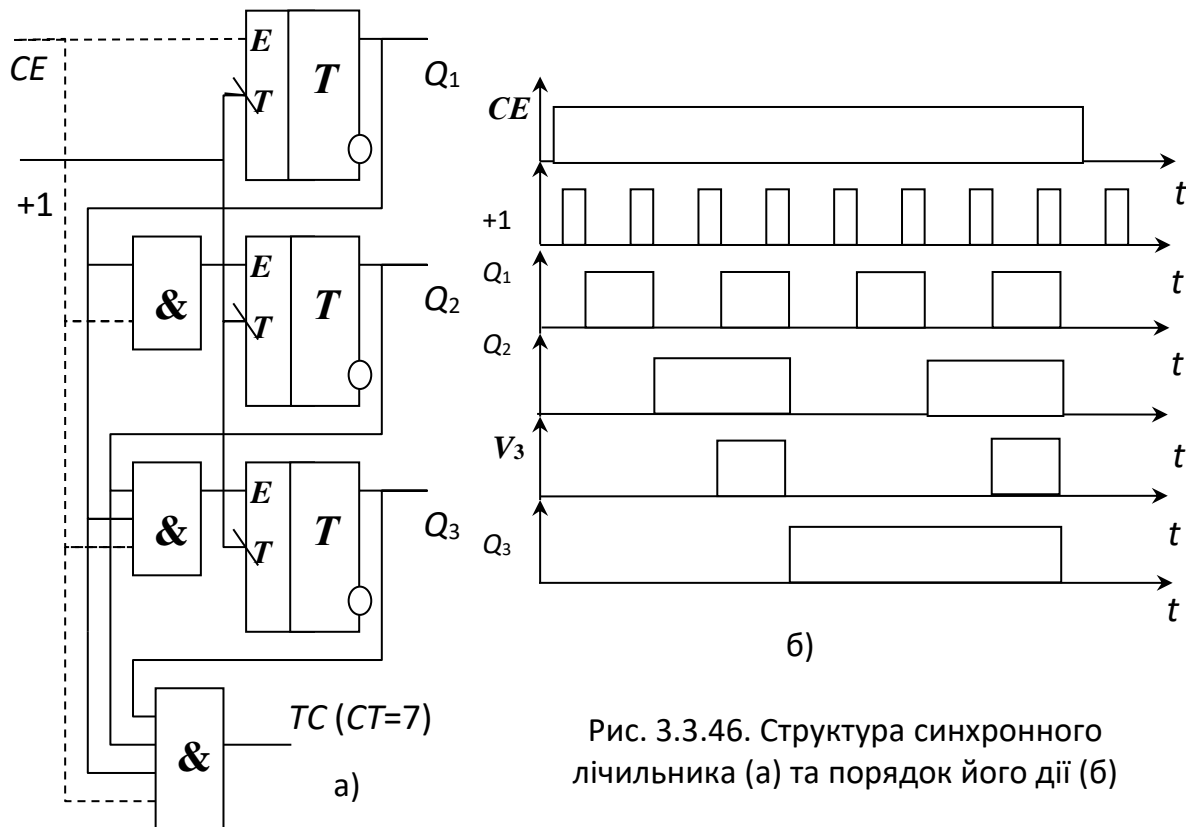


Рис. 3.3.46. Структура синхронного лічильника (а) та порядок його дії (б)

Тому синхронний лічильник повинен складатися з керованих  $T$ -тригерів, причому на вході керування  $E$  кожного наступного необхідно встановити елемент «І» для аналізу стану попередніх тригерів. Враховуючи логіку дозволу зміни стану керованих  $T$ -тригерів (п. 3.3.3), доцільно, щоб вони спрацьовували за зрізом імпульсу тактування (рис. 3.3.46, а).

Зазвичай, структура лічильника доповнюється входом дозволу рахунку ( $CE$ ), який діє на всі тригери (пунктир на рис. 3.3.46, а). Якщо  $CE = 0$ , сигнали керування всіма тригерами  $E = 0$ , і лічильник не реагує на імпульси тактування (рис. 3.3.46, б).

Отже, у розглянутих лічильниках імпульси рахунку надходять на всі тригери одночасно (паралельно), чим забезпечується синхронність зміни значень розрядів. Дотримання логіки зміни стану лічильника досягається завдяки використанню керованих  $T$ -тригерів та вузлів аналізу стану попередніх тригерів.

#### 3.3.6.4. Нарощування розрядності інтегральних лічильників

Існує широка номенклатура інтегральних лічильників різного типу та технологій (вони маркуються літерами ІЕ). Однак інтегральні лічильники мають невелику розрядність – частіше всього  $k = 4$ . Коли потрібен лічильник більшої розрядності, то доводиться певним чином з'єднувати декілька мікросхем.

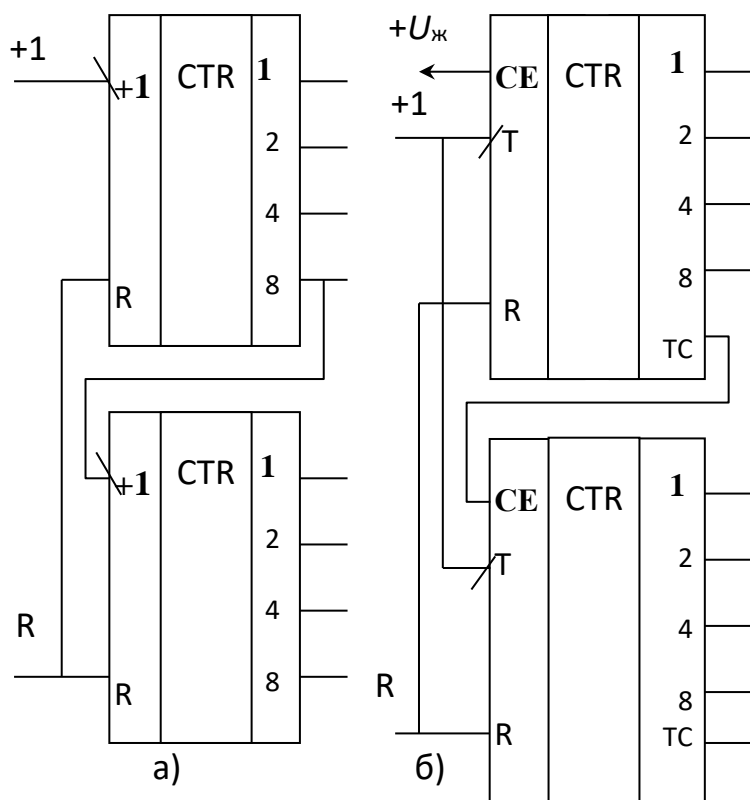


Рис. 3.3.47. З'єднання лічильників:  
а) – асинхронних; б) – синхронних

інтегральні лічильники одночасно, але керувати їх спрацюванням. Для цього ІМС синхронних лічильників мають спеціальні засоби: вхід дозволу рахунку  $CE$  і додатковий вихід перенесення  $TC$  (рис. 3.3.46, а). Для прикладу на рис. 3.3.47, б сигнал  $TC = 1$ , коли лічильник досягає межі рахунку  $CT = 15$ . Завдяки тому, що вхід дозволу рахунку  $CE$  кожної наступної ІМС з'єднується з виходом перенесення  $TC$  попередньої, вона вказує, на який тактовий імпульс повинен реагувати каскад лічильника, що утворює старший розряд коду. Для прискорення розповсюдження перенесення інтегральні синхронні лічильники можуть мати два входи дозволу перенесення ( $SET$ ,  $SEP$ ), що об'єднуються за операцією «І», причому в третьому каскаді лічильника один з'єднується з виходом перенесення першого каскаду, а інший – другого.

Інтегральні мікросхеми лічильників у СНД маркуються літерами ІЕ, наприклад, К555ІЕ19 – два асинхронних двійкових по 4 розряди.

**Лічильники з попереднім встановленням коду.** Синхронні лічильники часто мають додатковий режим роботи – як паралельний регістр. Тоді в них є відповідні інформаційні входи:  $D_1$ ,  $D_2$ ,... та вхід для завантаження коду в тригери лічильника  $LD\#$ . Відповідно, в їх структурі є комутатор вхідних сигналів тригерів. Однак необхідно розрізняти подібні лічильники зі статичним та з динамічним завантаженням коду аналогічно, як і регістри пам'яті зі статичним і динамічним керуванням. Прикладами лічильників зі статичним встановленням коду є реверсивні: двійково-десятковий К555ІЕ6 і подібний двійковий К555ІЕ7

Таке з'єднання можливе різними спробами, залежно від вимог до можливої несинхронності зміни розрядів вихідного коду.

Якщо лічильник може бути несинхронним, то він повинен складатися з кількох інтегральних лічильників шляхом їх послідовного сполучення (рис. 3.3.47, а).

За такого об'єднання лічильників, що додають, необхідно, щоб кожен лічильник спрацював за зрізом вхідного імпульсу.

Якщо аналогічно об'єднати синхронні лічильники, то відбудеться часткова затримка зміни старших розрядів вихідного коду. Щоб уникнути цього, потрібно вхідні імпульси подавати на всі задіяні

(рис. 3.3.48, а). У них тригери завантажуються значеннями  $D_1, \dots, D_4$ , коли на вході  $LD_{\#} = 0$  незалежно від сигналів на входах рахунку, тобто асинхронно.

Сучасні лічильники мають синхронне встановлення коду в момент активного перепаду сигналу на вході тактування  $T$ . Сигнал на вході  $LD_{\#}$  лише керує режимом: якщо  $LD_{\#} = 1$  – рахунок, а якщо  $LD_{\#} = 0$  – приймання коду від входів  $D_1, \dots, D_4$ . Типовим прикладом такого виробу серед мікросхем ТТЛШ є К555ІЕ10 (рис. 3.3.48, б).

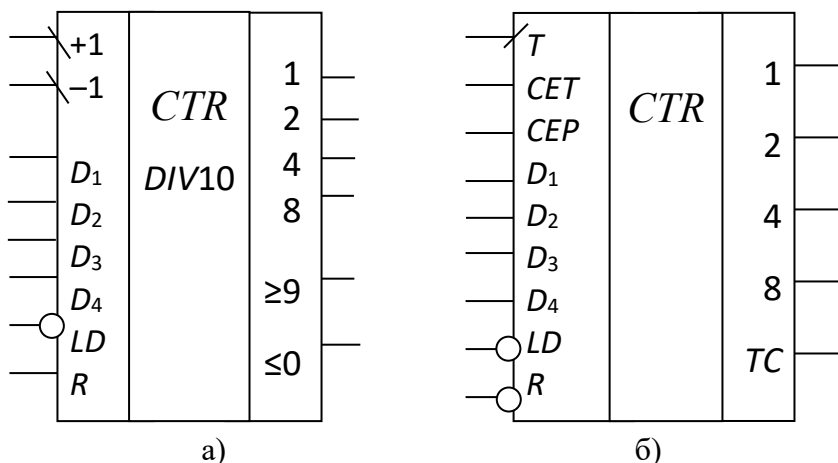


Рис. 3.3.48. Лічильники К555ІЕ6 (а) і К555ІЕ10 (б)

Коли на вході  $LD_{\#}$  рівень «0», зазначена ІМС працює подібно до регістра пам'яті з динамічним керуванням за входом  $T$  та дозволом роботи  $CEP \& CEP = 1$ . Якщо  $LD_{\#} = 1$ , ця сама мікросхема працює як звичайний двійковий синхронний лічильник із додатковими засобами нарощування розрядності: виходом перенесення  $TC$  і двома входами дозволу рахунку  $CEP$  і  $CET$ .

*Примітка.* У деяких лічильниках синхронно виконується і скидання – сигналом тактування  $T$  за наявності дозволу на вході  $ENR$ .

Отже, поєднання  $T$ -тригерів дозволяє організовувати рахунок кількості імпульсів. Існує декілька різновидів архітектури лічильників, що відрізняються можливостями синхронізації зміни розрядів коду та його попереднього встановлення.

### 3.3.7. Подільники частоти імпульсів

#### 3.3.7.1. Види подільників частоти

Часто в цифрових пристроях використовуються імпульсні сигнали різних частот, які отримують від одного генератора порівняно високої частоти внаслідок її поділу у певну кількість разів. Вузли, що виконують таку задачу, називаються **подільниками частоти імпульсів**. Їх основний параметр – *коефіцієнт поділу*  $K_d$ , який, зазвичай, є цілим числом, але може бути і дробовим.

Побудова подільників частоти імпульсів може базуватися на різних принципах, але найбільшого поширення набули подільники на основі тригерних вузлів, які не потребують налагодження. При цьому подільником частоти на ціле

число  $K_d$ , як правило, є послідовнісний вузол, що повторює свій стан через кожні  $K_d$  імпульсів тактування. Завдяки цьому вдається отримати вихідну послідовність імпульсів, що в  $K_d$  разів рідша від вхідних. Подільник частоти містить певну кількість тригерів  $k$ . Оскільки число станів послідовнісного вузла не може перевищувати  $2^k$ , то кількість тригерів  $k$  у подільнику частоти не може бути меншою, ніж  $\log_2 K_d$ , тобто  $k > \log_2 K_d$ .

Будова подільників частоти імпульсів із цілим коефіцієнтом  $K_d$  може ґрунтуватися як на типових, так і нетипових тригерних вузлах. Зокрема розрізняють подільники: на основі лічильників, на основі регістрів і як нестандартний послідовнісний вузол. Синтез структури подільника в останньому випадку є складним, а тому застосовується лише за малих значень коефіцієнта поділу. При цьому так підбирають зв'язки між тригерами вузла, щоб їх стан повторювався через  $K_d$  тактів роботи пристрою. Наприклад, подільники на  $K_d = 3$  можна побудувати, як показано на рис. 3.3.49, а, б.

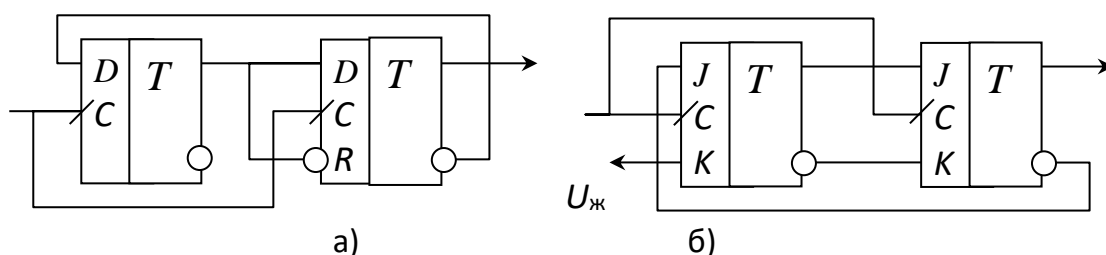


Рис. 3.3.49. Варіанти подільників на  $K_d = 3$

Якщо  $K_d < 10$ , нескладно будувати кільцеві подільники частоти на регістрах зсуву (п. 3.3.5.1), однак кількість тригерів у ньому буде надлишковою:  $k = K_d$ .

Найбільшого поширення набули подільники частоти імпульсів на основі лічильників. Двійковий лічильник уже сам по собі є подільником частоти на число  $K_d = 2^k$ , де  $k$  – кількість задіяних тригерів. Це можна помітити, звернувшись до діаграм на рис. 3.3.46, б. Існують спеціальні мікросхеми – подільники частоти, які крім двійкового лічильника певної розрядності містять ще і комутатор виходу. Останній керується кодом для вибору задіяного розряду  $k$  і, відповідно, коефіцієнта поділу.

Подібні ІМС маркуються літерами ПЦ. Наприклад К555ПЦ1 (рис. 3.3.50) здатна ділити частоту імпульсів входу  $C_1$  чи  $C_2$  на коефіцієнт  $K_d = 2^N$  від  $2^1$  до  $2^{31}$ .

Коли потрібен коефіцієнт поділу  $K_d$  – ціле число, але таке, що не є степенем двійки, то досягти його безпосередньо від лічильника неможливо. Однак можна використати лічильник з модулем рахунку  $M_p$ , більшим за  $K_d$ , і певним чином позбутися зайвих його станів. Такі подільники бувають з обмеженням (виключенням) старших або молодших станів лічильника.

### 3.3.7.2. Подільники з обмеженням старших станів лічильника

Цей тип подільників будується найпростіше. Оскільки двійковий лічильник з  $k$  тригерів повторює свої стани через  $M_p = 2^k$  вхідних імпульсів, а потрібно, щоб це відбувалося через  $K_d < 2^k$ , то можна раніше скидати його в стан  $\{0\}$  – як тільки лічильник прорахує  $K_d$  імпульсів (тобто буде в стані  $\{K_d\}$ ).

Наприклад, якщо потрібен подільник на  $K_d = 5$ , то достатньо використати трирозрядний двійковий лічильник, але рахувати він повинен у межах  $0..4$ , потім замість стану  $\{5\}$  скидатися в  $\{0\}$  і т.д. Для реалізації такого принципу виникає необхідність у комбінаційному вузлі, який буде формувати сигнал скидання лічильника  $R$  у разі наявності в лічильнику коду зі значенням  $K_d$ . У випадку, що розглядається, такий код  $\{Q\} = \{K_d\}_2 = \{101\}_2$ . Тому логічною функцією вузла скидання буде:  $R = Q_3 Q_2 Q_1$ . Отже цей вузол у зазначеному випадку буде складатися з елемента «І» та інвертора. Однак доречно зауважити, що вузол скидання можна спростити, враховуючи, що і при значеннях коду  $\{Q\}$ , більших за  $K_d$  (тут 6 і 7), також можливе скидання  $R = 1$ . Зокрема, у попередній вираз доцільно дописати терм для значення коду  $\{7\}$ , що дасть змогу виключити змінну з інверсним значенням:

$$R = Q_3 \overline{Q_2} Q_1 \vee Q_3 Q_2 Q_1 = Q_3 Q_1.$$

Отже, для утворення сигналу скидання лічильника достатньо об'єднати операцією «І» лише ті виходи лічильника, на яких у стані  $\{Q\} = \{K_d\}_2$  повинні бути значення «1».

Враховуючи розглянутий випадок, *порядок побудови подільника* на основі двійкового лічильника з виключенням його старших станів буде такий:

утворюється двійковий код коефіцієнта поділу  $\{K_d\}_2$ ;

вибирається лічильник відповідно до розрядності цього коду;

застосовується елемент «І», під'єднавши його входи до тих виходів лічильника, які за цього коду є «1», а вихід – до входу скидання  $R$ ;

вихідні імпульси, що мають частоту у  $K_d$  разів меншу від вхідних, знімаються зі старшого розряду лічильника.

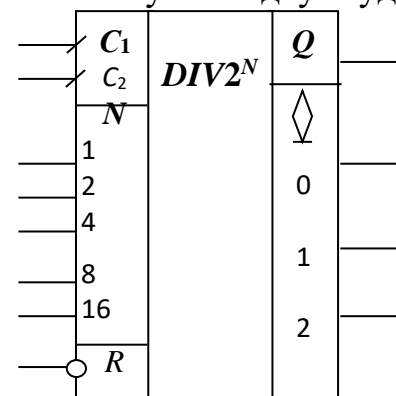


Рис. 3.3.50. Подільник частоти типу К555ПЦ1

Для прикладу на рис. 3.3.51, а, б показано схему подільника на  $K_d=5$  та порядок його дії.

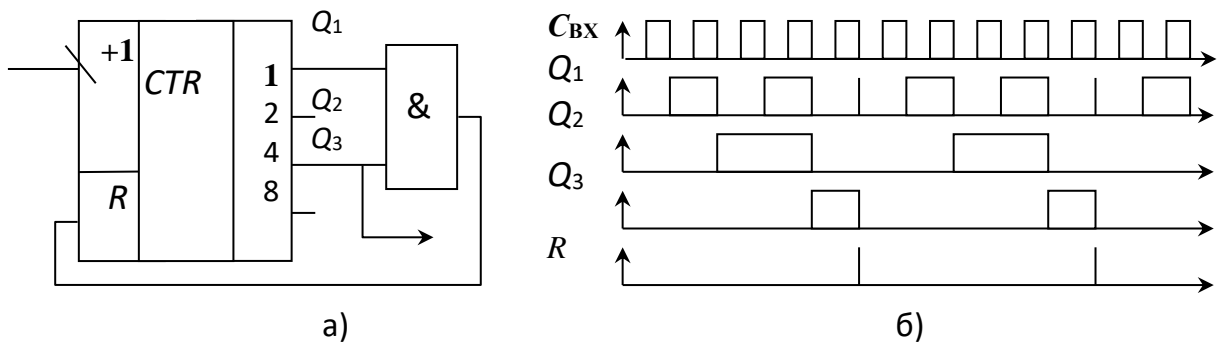


Рис. 3.3.51. Схема подільника на  $K_d=5$  (а) та порядок його дії (б)

Зазначений спосіб побудови подільників частоти набув значного поширення на практиці під час побудови різномісних цифрових вузлів і пристроїв. Завдяки простоті побудови таких подільників деякі інтегровані асинхронні лічильники мають у своєму складі вбудований елемент «І» з парою входів скидання  $R$ , як в ІМС К555ІЕ5 (рис. 3.3.52).

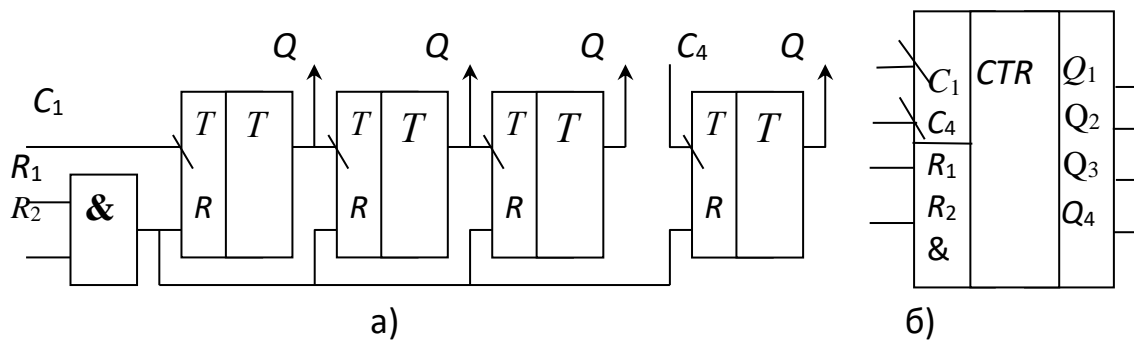


Рис. 3.3.52. Структура (а) та умовне зображення (б) лічильника К555ІЕ5

У розглянутих подільниках для зміни коефіцієнта  $K_d$  слід змінювати під'єднання виходів лічильника до вузла скидання й використати іншу відповідну лінію виходу вузла, що є певним елементом незручності використання таких подільників. Однак цього позбавлений наступний варіант побудови подільників.

### 3.3.7.3. Подільники з виключенням молодших станів

Досягти потрібної кількості станів  $K_d$  лічильника з модулем рахунку  $M_p > K_d$  можна також іншим шляхом – виключивши зайві молодші стани лічильника, тобто забезпечити, щоб лічильник рахував до переповнення (двійковий – до всіх одиниць), а далі переходив не в  $\{0\}$ , а в заданий стан  $\{L\}$ .

Наприклад, якщо лічильник має розрядність  $k=4$  ( $M_p=16$ ), а потрібно залишити лише  $K_d=5$  станів, то решта  $L=M_p-K_d=11_{10}$  станів є зайвими. Це означає, що лічильник кожного разу, коли переповнюється, зі стану  $\{1111\}_2$  повинен переходити не в стан  $\{0000\}_2$ , а в стан  $L=11_{10}=\{1011\}_2$ . Тоді зміна станів лічильника повинна відбуватися згідно з табл. 3.3.13. При цьому

початковий стан лічильника може бути довільний, наприклад  $\{0000\}$ , а потрібний порядок стану встановлюється після першого переповнення.

Лічильник для побудови подібного подільника повинен мати засоби встановлення заданого початкового стану тригерів, що в цілому зробити важче, ніж у попередньому варіанті подільника. Однак наявність інтегральних лічильників із попереднім записом коду дозволяє будувати такі подільники частоти навіть простіше, ніж з виключенням старших станів. Зокрема, ІМС 1533ІЕ10 застосовується для поділу частоти за умови під'єднань, як показано на рис. 3.3.53, для забезпечення відповідного коефіцієнта поділу.

У даній схемі до тих пір, поки лічильник не в стані переповнення, на його виході  $TC=0$ , а тому на вході  $LD_{\#}=1$ . Це режим рахунку, за якого з кожним вхідним імпульсом код у лічильнику зростає. Коли він стане  $\{Q\} = \{1111\}_2$ , то на виході  $TC$  з'являється «1», а завдяки інвертору на вході  $LD_{\#}=0$ , тобто лічильник переводиться в режим реєстра пам'яті. Тому наступний вхідний імпульс уже не рахується, а записує в тригери лічильника код  $\{L\}_2$  з входів  $D_1, \dots, D_4$ . Оскільки цей код не є  $\{1111\}$ , то знову  $TC=0$ ,  $LD_{\#}=1$ , тому рахунок поновлюється і процеси повторюються. Слід звернути увагу, що *вихідні імпульси в даній схемі потрібно знімати з виходу перенесення лічильника  $TC$ .*

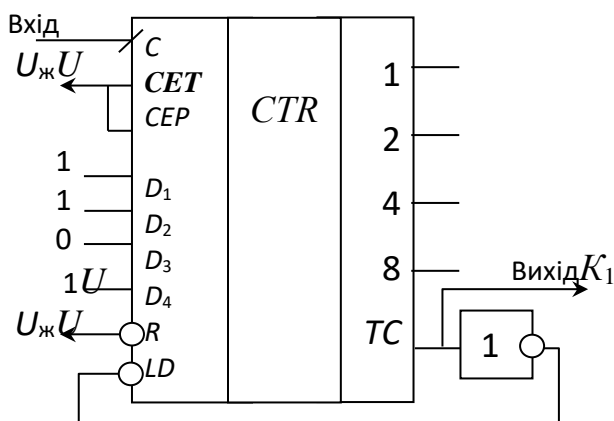


Рис. 3.3.53. Подільник на  $K_d = 5K_2$

Таблиця 3.3.13

$n$	$Q_4$	$Q_3$	$Q_2$	$Q_1$	$TC$
0	0	0	0	0	0
1	0	0	0	1	0
.	.	.	.	.	.
14	1	1	1	0	0
15	1	1	1	1	1
16	1	0	1	1	0
17	1	1	0	0	0
18	1	1	0	1	0
19	1	1	1	0	0
20	1	1	1	1	1
21	1	0	1	1	0

Перевага подільника з виключенням молодших станів полягає у здатності оперативно змінювати коефіцієнт поділу – достатньо на інформаційні входи лічильника подати необхідний код  $\{L\}_2$ . Тому їх ще називають «*подільники зі змінним коефіцієнтом*».

#### 3.3.7.4. Особливості подільників із дробовим коефіцієнтом

Подільникам на ціле число  $K_d$  притаманна нерівномірна зміна частоти вихідних імпульсів, адже при зміні коефіцієнта  $K_d$  рівномірно змінюється період.



Тому іноді застосовують подільники частоти на дробові коефіцієнти  $K_d$ , які забезпечують рівномірну зміну частоти відповідно до коду керування. Подібні цифрові подільники будуються на основі додавання імпульсних послідовностей  $q_i$  з частотами  $F_i$  за двійковим законом відносно заданого кроку частоти  $\Delta F_0$ . Щоб такі послідовності можна було скласти за частотою, їх імпульси повинні бути взаємно зсунуті – не накладатися. Для прикладу на рис. 3.3.54. показано імпульси частот:  $F_4 = 2F_2 = 4F_1$ , причому  $F_1 = \Delta F_0$ , а також результат додавання  $F_1 + F_4 = 5\Delta F_0$ .

За розглянутим принципом працює ІМС К555ІЕ8, причому в ній формуються шість взаємно зсунутих послідовностей імпульсів кратних частот, а їх додавання відбувається відповідно до бітів вхідного коду керування.

Очевидно, що результуюча імпульсна послідовність з таких подільників має нерівномірний період (рис. 3.3.54). Для зменшення цієї нерівномірності використовується додатковий поділ частоти імпульсів за допомогою двійкового лічильника. Однак тоді потрібно збільшити частоту вхідних імпульсів вузла. Додатково можна виконати повторну генерацію вихідної послідовності з її автоналагодженням під сигнал подільника з дробовим коефіцієнтом. Все це ускладнює пристрій, а тому подільники з дробовим коефіцієнтом використовуються рідко.

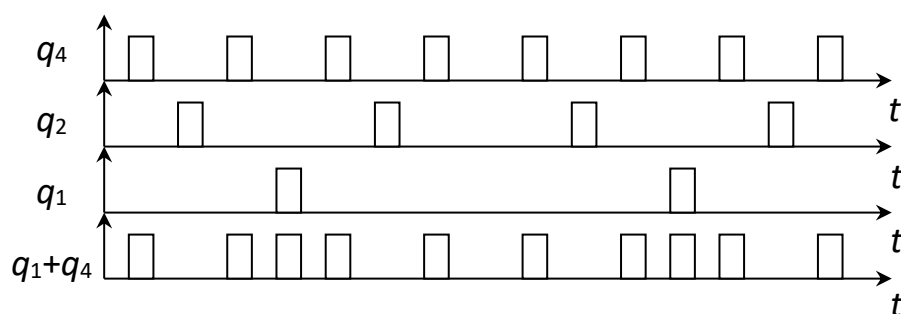
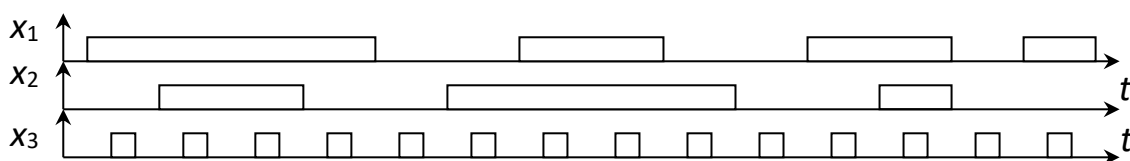


Рис. 3.3.54. Утворення сигналу подільника з дробовим коефіцієнтом

Отже, поділ частоти вхідних імпульсів на задане число найкраще виконати на основі стандартного лічильника певної розрядності, виключивши його зайві старші чи молодші стани за допомогою відповідного логічного вузла керування лічильником, або використавши кільцевий подільник частоти на основі регістра.

### Контрольні питання

1. Побудуйте діаграми сигналів на виходах: тригерів (рис. 3.3.6, 3.3.8, 3.3.10), якщо вхідні сигнали  $S = x_1$  і  $R = x_2$ ; тригерів (рис. 3.3.21, 3.3.23), якщо  $D = x_1$  і  $C = x_2$ ; тригера (рис. 3.3.15), якщо  $J = x_1$ ,  $K = x_2$  і  $C = x_3$ .



2. Чому не можна утворити  $D$ -тригер із двоступеневого  $JK$ -тригера? Наведіть діаграми сигналів для випадку невідповідностей.
3. Складіть схему регістра зсуву на  $JK$ -тригерах. Використовуючи довідник мікросхем, побудуйте електричну схему такого пристрою.
4. Складіть схему генератора  $M$ -последовності з періодом  $N=31$ , спираючись на параметри полінома з табл. 3.3.11. Використовуючи довідник мікросхем, побудуйте електричну схему такого пристрою.
5. Складіть схему двійкового лічильника на тригерах  $D$ -типу.

## Розділ 3.4. ІНТЕГРАЛЬНІ ЗАПАМ'ЯТОВУВАЧІ ТА ПРОГРАМОВАНІ ЛОГІЧНІ ІНТЕГРАЛЬНІ СХЕМИ

### 3.4.1. Інтегральні запам'ятовувальні пристрої

#### 3.4.1.1. Класифікація запам'ятовувачів

На сучасному етапі розвитку цифрових пристроїв часто оперують зі значними обсягами різноманітної інформації у вигляді набору біт-кодів, які потрібно запам'ятовувати. Відповідні вузли електронного типу, що в цифровому пристрої забезпечують зберігання кодів та достатньо швидко їх зчитування, називаються **запам'ятовувачами**. На відміну від регістрів, запам'ятовувачі здатні зберігати не одну комбінацію коду, а значну їх кількість  $M$  в окремих *комірках пам'яті* певної розрядності  $N_d$ .

Основний параметр запам'ятовувача – об'єм пам'яті  $W$ , що обчислюється кількістю бітів, які можна зберегти, тобто  $W = MN_d$ . Незважаючи на те, що одиницею інформації, яка запам'ятовується, є один двійковий розряд – біт, частіше зберігають коди, розрядність яких кратна 8 бітам – називають їх байтами. Відповідно, об'єм пам'яті вимірюється у бітах (біт), байтах (байт), кілобайтах (Кбайт) (1 Кбайт =  $2^{10}$  байт = 1024 байт), мегабайтах (Мбайт) (1 Мбайт = 1024 Кбайт) та гігабайтах (Гбайт) (1 Гбайт = 1024 Мбайт).

У 60-х рр. ХХ ст. рівень розвитку електроніки допускав зберігання інформації з оперативним довільним доступом, головним чином, на пристроях, побудованих на феритових кільцях, що перемагнічувалися. Це були досить габаритні та енергомісткі *запам'ятовувальні пристрої*. На сьогодні запам'ятовувачі є інтегральними мікросхемами і мають на декілька порядків кращі параметри, ніж їх попередники.

За призначенням існуючу компонентну базу інтегральних запам'ятовувачів можна поділити на групи: *постійні, оперативні, FLASH та буферні FIFO*. Перші дві групи є основними, причому в них втілюється довільний доступ до комірок – вибірка за вказаним номером, що називається *адресою*. Код адреси комірки  $A$  має таку розрядність  $N_a$ , що відповідає кількості комірок  $M = 2^{N_a}$ , причому адреси обраховуються від 0 до  $2^{N_a} - 1$ .

Поділ запам'ятовувачів на постійні та оперативні залежить від того, чи може інформація в них швидко змінюватися та зберігатися без живлення. Буферні запам'ятовувачі ґрунтуються на оперативних, але завдяки додатковим вузлам у них запроваджено особливий безадресний спосіб послідовного доступу до комірок з боку двох пристроїв, між якими передається інформація. Запам'ятовувачі типу *FLASH* мають властивості запису й енергонезалежного збереження масивів даних, але обмежені кількістю можливих змін стану елементів пам'яті.

### 3.4.1.2. Постійні запам'ятовувачі

**Постійні запам'ятовувальні пристрої (ПЗП)** призначені лише для зчитування кодів (*ReadOnlyMemory – ROM*), причому зберігають їх незалежно від наявності живлення. У більшості типів сучасних ПЗП інформацію можна змінити, однак за порівняно тривалий час і обмежену кількість разів. Притому зміна інформації частіше виконується не в окремих комірках, як в оперативних запам'ятовувачах, а чи в усіх одразу, чи в певній частині комірок після попереднього їх стирання.

Структурно типовий ПЗП містить значну кількість комірок пам'яті з певних елементів та комутатор. Останній керується кодом адреси та передає на вихід код даних з тієї комірки, номер якої дорівнює значенню коду адреси (рис. 3.4.1).

Фактично, ПЗП є перетворювачем вхідного коду (коду адреси) у вихідний код (код даних). Завдяки цьому ПЗП дозволяє втілювати довільні комбінаційні операції. Адже, якщо пронумерувати вхідні сигнали вузла  $x_1, \dots, x_n$ , розглядаючи їх як код  $X = \{x_i\}$ , то надалі їх можна використати як код адреси  $A$  комірок ПЗП. При цьому кожній комбінації вхідних сигналів буде відповідати певна комірка ПЗП. У ній потрібно розмістити такий код даних, які сигнали  $y_1, \dots, y_k$  повинні бути на виходах вузла, що підлягає проектуванню, за даної комбінації вхідних сигналів  $x_1, \dots, x_n$ . Тобто в комірках ПЗП потрібно розмістити інформацію, яка відповідає вихідній частині таблиці логіки вузла.

За способом внесення інформації в комірки ПЗП поділяються так:

- маскові (функція позначається як *ROM*);
- програмовані одноразово (*PROM* та *OTP-EPROM*);
- перепрограмовані (програмовані багаторазово) з ультрафіолетовим стиранням попередньої інформації (*UVPRM*);
- перепрограмовані з електричним стиранням попередньої інформації (*RPRM* або *EEPROM*).

**Маскові ПЗП** – це такі запам'ятовувачі, у яких інформація в комірки пам'яті заноситься в процесі виготовлення ІМС (відповідно до замовлення). Подібні ІМС виробництва СНД маркуються літерами PE, наприклад мікросхема 555PE4 (рис. 3.4.2) містить конфігурацію символів для відображення на моніторі (ПЗП знакогенератора). У маркуванні ІМС, виготовлених на замовлення, додатково вказується їх реєстраційний номер, наприклад KP1801PE12–0356. Потенційно маскові ПЗП можуть мати найбільший серед інших об'єм пам'яті. Однак вони не виготовляються як поодинокі екземпляри –

надто

дорого, що і звужує сферу їх використання.

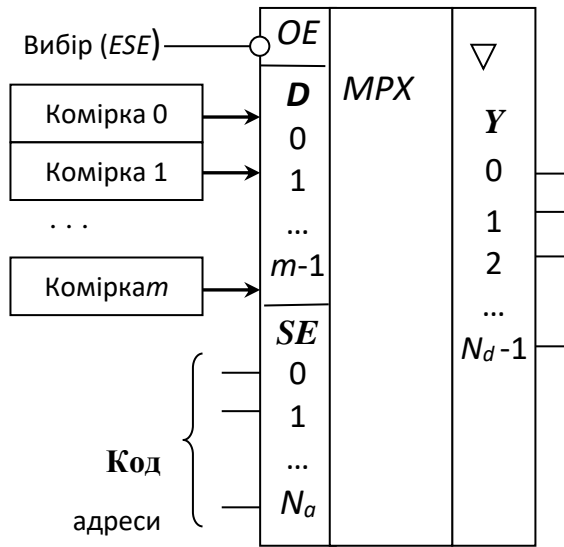


Рис. 3.4.1. Логічна структура ПЗП

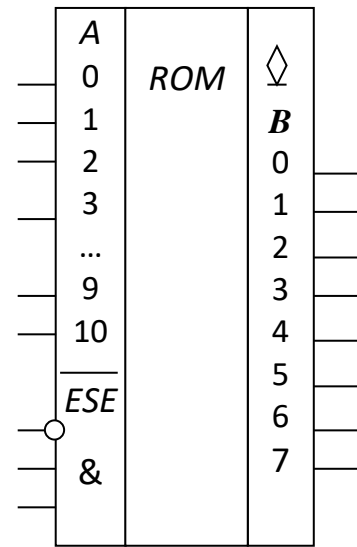


Рис. 3.4.2. ПЗП 555PE4

**Програмовані ПЗП** – це такі, до яких інформацію може внести користувач. На відміну від ОЗП їх елементи пам'яті мають асиметричний характер: у початковому стані вони містять однакове значення, наприклад «0», а при програмуванні в необхідних елементах значення біта змінюють на інше («1»). Однак повернення початкового стану в таких елементах пам'яті або не передбачене, або на це потрібен тривалий час. Зокрема, *програмовані одноразово ПЗП (PROM)* виготовляються так, що можна тільки один раз змінити стан елемента пам'яті. При цьому використовують один з трьох варіантів конструктивної

реалізації таких елементів. Перший варіант – це перемички, від яких можна легко позбавитися шляхом їх розплавлення (вони виконані з легкоплавкого металу). Тоді внесення інформації полягає в ліквідації зайвих перемичок шляхом пропускання через них імпульсів струму. Для цього використовуються не тільки внутрішні вузли ІМС, а ще й спеціальні пристрої – програматори ПЗП. Подібні ІМС виробництва СНД маркують літерами РТ, наприклад КР556РТ5 ( $N_a = 9$ ,  $N_d = 8$ ).

Другий варіант елементів пам'яті програмованих ПЗП протилежного типу – це пара провідників, розділених діелектриком, який при програмуванні відповідного біта пробивається підвищеною напругою. Обидва варіанти елементів пам'яті, особливо перший, мають низьку надійність. Тому в ролі ПЗП програмованих одноразово використовують перепрограмовані тільки без засобів стирання інформації (*OTP-EPROM*).

**Репрограмовані (перепрограмовані) ПЗП (РПЗП)** дозволяють стирати раніше записану інформацію та вносити нову. Вони поділяються на два класи: зі стиранням ультрафіолетовим опроміненням (*UV-EPROM*) та з електричним стиранням інформації (*RPROМ* або *EEPROM*). Зазвичай, перемички в матрицях їх комірок пам'яті утворені на основі польових транзисторів із вбудованим каналом і подвійним затвором – мають між основним затвором і підкладкою ще додатковий «плаваючий затвор» (рис. 3.4.3), яким частіше є ізолюваний шар металу. У разі відсутності напруги між затворами й підкладкою канал існує – транзистор відкритий (перемичка замкнена). Для закриття транзистора під час запису інформації на основний затвор короткочасно (десятки мікросекунд – мілісекунди) подається напруга програмування (12...15 В). Внаслідок утворення електричного поля виникає тунельний пробій ізоляції і на додатковий затвор переноситься певний заряд, утворюючи негативний потенціал. Тому канал зникає – транзистор закривається, причому такий його стан витримується більше 10 років. Подібні польові транзистори називають «з лавинною інжекцією заряду» (ЛІЗМОН).

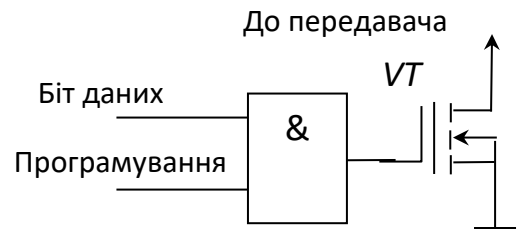


Рис.3.4.3. Елемент пам'яті *RPROМ*

Стирання інформації в РПЗП типу *UV-PROМ* відбувається шляхом опромінення кристалу крізь віконце в корпусі, зачинене кварцовим склом. Внаслідок цього відбувається іонізація атомів діелектрика, через фотострум заряд розсмоктується, і всі ЛІЗМОН-транзистори знову відкриваються. У СНД подібні ІМС РПЗП маркують літерами РФ, наприклад 573РФ6А. Зазвичай, під час експлуатації подібних мікросхем віконце повинне бути закрите для променів навіть звичайного світла – сонячне світло стирає інформацію за 5–10 днів. Останнім часом через труднощі стирання інформації та невелику допустиму кількість циклів перезапису (десятки-сотні разів) застосування подібних РПЗП у складі сучасних цифрових пристроїв скорочується.

Набагато вигіднішими за попередні є РПЗП з електричним стиранням інформації (*EEPROM*). Побудова їх елементів пам'яті відрізняється тим, що в них знижено порогову напругу тунельного пробою та застосовано вузли, що для стирання залишають потенціали затворів нульовими, а на стоки транзисторів подають живлення, змінюючи напрямок поля під затвором. Внаслідок цього вдається програмувати ІМС малими напругами (5 В) і так само видаляти електрони (стирати інформацію) полем протилежного напрямку, яке створюється із застосуванням того самого джерела живлення. Також скорочуються терміни доступу, програмування й стирання. Подібні РПЗП мають декілька варіантів стирання: повне або за зонами. У пострадянських країнах такі ІМС маркуються літерами РР, наприклад КР1608РР3.

Оскільки РПЗП типу *EEPROM* дозволяють перепрограмування без додаткового устаткування, то вони належать до групи «програмованих у системі» (*ISP*). Крім того, *EEPROM* неістотно обмежують кількість циклів зміни інформації

( $10^4 \dots 10^5$ ), завдяки чому стали основним видом РПЗП та набули широкого використання в різноманітних пристроях. Однак їм притаманний суттєвий недолік – порівняно тривалий термін доступу, а особливо стирання і запису – одиниці мілісекунд.

### 3.4.1.3. Оперативні статичні запам'ятовувачі

Запам'ятовувачі, у яких інформація однаково швидко може записуватися і зчитуватися, причому комірки є доступними у довільному порядку, називаються **оперативними** (ОЗП). Їх функція позначається *RAM* (*Random Access Memory*).

Варто зазначити, що на сучасному етапі розвитку електроніки вимоги до параметрів ОЗП стосовно об'єму пам'яті  $W$ , швидкості дії та енергоспоживання у пристроях постійно зростають. Тому цей напрямок мікроелектроніки інтенсивно розвивається. При цьому швидкість дії ОЗП визначається різними величинами. Так, для ОЗП традиційної структури найголовнішим є термін циклу «запис-зчитування»  $t_{\text{зп/чт}}$ , який враховує час, потрібний на виконання всіх дій для запису інформації за певною адресою та зчитування з іншої адреси. Однак нові види ОЗП для ПЕОМ оптимізовані для роботи з масивами даних. Зокрема, в них реалізовано такі режими запису та читання інформації, коли вказується адреса лише першої комірки масиву даних, а наступні визначаються за порядком зростання в темпі тактування передачі. Крім того в них використовуються вузли конвеєризації проміжних операцій, що дозволяє досягти максимальної швидкості виконання пакетних операцій (запису або читання масиву даних).

За принципом зберігання інформації інтегральні ОЗП на даний час можна поділити на декілька груп:

ОЗП статичного типу (позначаються *SRAM*);

ОЗП динамічного типу (*DRAM*);

енергонезалежні ОЗП (*NVRAM*), які, своєю чергою, поділяються на підгрупи, виходячи з фізичної основи (*BBSRAM*, *FRAM*, *MRAM*).

У пострадянських країнах всі інтегральні ОЗП маркуються літерами РУ.

**ОЗП статичного типу (*SRAM*).** У зазначених ІМС елементами пам'яті є *D*-тригери, які утворюють комірки – регістри. Відповідно, інформація, записана у статичне ОЗП, буде зберігатися до моменту наявності напруги живлення. Такі ОЗП характеризуються високою швидкістю доступу до інформації ( $10 \dots 100$  нс), однак малою щільністю розташування елементів на кристалі і, відповідно, порівняно невеликим об'ємом пам'яті, незважаючи на використання КМОН-технології, оскільки *D*-тригер містить у своєму складі не менше шести транзисторів. При цьому швидкодіючі *SRAM* відрізняються значним енергоспоживанням.

Особливістю деяких *SRAM* є те, що вони мають не один, а два або три порти (порт у таких елементах – це сукупність виводів ІМС, які забезпечують доступ до елементів пам'яті з метою запису та/або зчитування інформації за певним алгоритмом). Порт для запису повинен містити: лінії коду адреси  $A_{\text{зп}}$ , вхідні лінії

коду даних  $D_{inp}$  та хоч одну лінію керування записом  $WR$ . Порт для зчитування повинен містити: лінії коду адреси  $A_{чт}$ , вихідні лінії коду даних  $D_{out}$  та одну або декілька ліній керування зчитуванням  $RD$ . У випадку наявності в ОЗП обох таких портів останні діють незалежно (рис. 3.4.4, а). Крім того типова інтегральна мікросхема ОЗП має також вивід вибірки кристала  $CS_{\#}$  (або  $ESE$ ) з активним рівнем «0»: ІМС реагує на інші входні сигнали та може мати активними виходи тільки, якщо  $CS_{\#} = 0$ .

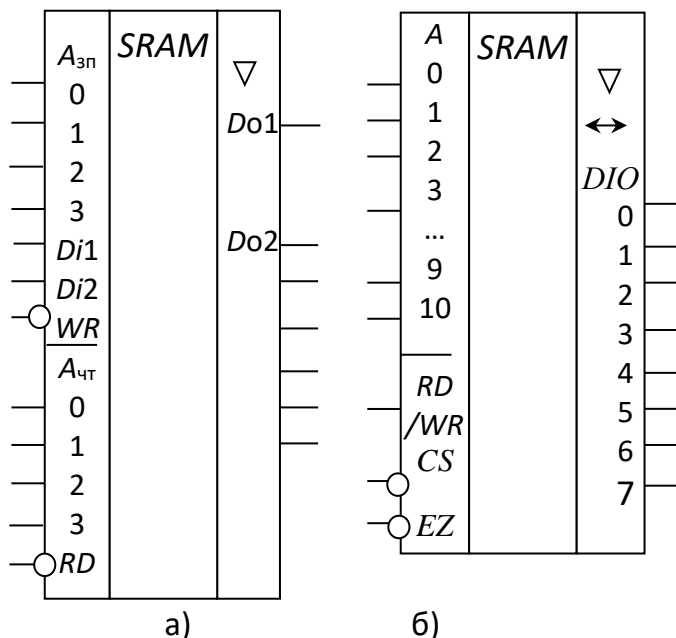


Рис. 3.4.4. Статичні ОЗП: двопортовий (а) і однопортовий (б)

Для запису інформації в ОЗП типу SRAM потрібно попередньо подати код адреси елемента пам'яті, після чого за пасивного  $WR_{\#} = 1$  мікросхема вибирається в роботу, якщо  $CS_{\#} = 0$ . Далі, якщо підготовлені входні дані  $D_{inp}$ , подається імпульс запису  $WR_{\#} = 0$ . Однак зазвичай між цими діями повинен проходити певний термін, що й обмежує швидкість дії такої ІМС.

Зчитування інформації з довільного елемента пам'яті двопортового SRAM при вибраній мікросхемі може відбуватися одночасно із записом поданням

відповідного коду адреси та сигналу  $RD_{\#} = 0$ . За такої умови вмикаються вихідні каскади ІМС та отримується інформація  $D_{out}$ , тотожна записаній сюди раніше.

Можливість одночасного доступу до комірок в ОЗП з кількома портами є їх важливою перевагою. Але застосовуються вони тільки в разі необхідності й частіше як складова іншої складної ІМС. Це пов'язано з потребою великої кількості виводів, адже кожен порт потребує кодів адреси й даних та сигналів керування. Відповідно, у багатопортових ОЗП – окремих мікросхемах – об'єм пам'яті незначний через брак виводів, оскільки кожна відкинута лінія адреси зменшує об'єм пам'яті у два рази. Тому найбільш поширеними є ОЗП з одним портом (рис. 3.4.4, б), що забезпечує як запис інформації, так і зчитування, але не одночасно. Сигнали запису та зчитування в них діють альтернативно по одній лінії (вона позначається  $RD/WR$  а бо  $WE_{\#}$ ). Відповідно, використовується один код адреси, а лінії входних і вихідних даних часто є спільними ( $DIO$ ).

Запис інформації в однопортовий статичний ОЗП звичайної архітектури відрізняється тим, що для подачі вхідних даних необхідно забезпечити стан виходів «Z». Це буде або за активного стану сигналу запису  $WE_{\#} = 0$ , або за пасивного сигналу керування виходами  $OE_{\#}$ . Для зчитування інформації після встановлення коду адреси ІМС вибирається в роботу сигналом  $CS_{\#} = 0$ , якщо  $WE_{\#} = 1$ . При цьому також повинен бути активним сигнал керування виходом  $EZ_{\#} = 0$ . За такої умови вмикаються вихідні каскади мікросхеми та отримується код, зчитаний з комірки за адресою  $A$ .

#### 3.4.1.4. Оперативні запам'ятовувачі динамічного типу

Складність внутрішньої архітектури статичних ОЗП обмежує їх об'єм пам'яті на кристалі та обумовлює підвищену ціну таких ІМС. На сьогодні нарощування об'єму пам'яті інтегральних ОЗП пов'язано з розробкою елементів пам'яті динамічного типу, у яких інформація зберігається у вигляді заряду конденсатора. Точніше – для зберігання кожного біта використовується один польовий транзистор, що під'єднує свою ємність «канал-підкладка» ( $C_n$ ) до сигнальної лінії для запису або зчитування (рис. 3.4.5). Під час запису інформації  $D_{inp}$  вхідний буферний елемент через транзисторний ключ  $VT$ , вибраний адресою, подає на відповідний конденсатор  $C_n$  напругу  $U^1$ , заряджаючи його, або  $U^0$  – розряджаючи. Під час зчитування, навпаки, вибраний транзисторний ключ під'єднує відповідний конденсатор до сигнальної лінії, де завдяки пороговому елементу його напруга  $U_c$  розпізнається стосовно значення біта – «0» чи «1». Як такий елемент використовується  $RS$ -тригер, що вмикається (подається живлення) відповідним сигналом читання  $RD$ . Важливим при цьому є те, що тригер складається з пари інверторів, а напруга з конденсатора надходить на одне плече тригера, яке одночасно є і його виходом. Тому з появою живлення цих елементів відбувається не тільки встановлення стану тригера залежно від рівня напруги конденсатора (більше чи менше  $U_{пер}$ ), але й одночасно дозарядження останнього або, навпаки, розрядження, залежно від цього стану, тобто здійснюється *регенерація* інформації.

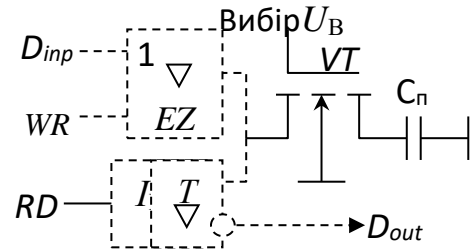


Рис. 3.4.5. Елемент пам'яті DRAM

Важливо зауважити, що в інтегральному ОЗП вузли зчитування та запису виконуються спільними для всіх елементів пам'яті, причому останні утворюють матрицю рядків та стовпчиків.

Завдяки простій будові елемента пам'яті (один транзистор) досягається значна об'ємна щільність їх, а тому і значний об'єм пам'яті (8–32 Мбайт). Це є істотною перевагою вказаних елементів перед статичними (тригерними) ОЗП.

Важливо, що з метою зменшення кількості виводів мікросхеми код адреси комірки в процесі роботи приймається двома частинами. Для цього в ній використані спеціальні сигнали керування  $RAS_{\#}$  і  $CAS_{\#}$  (рис. 3.4.6, а).

Відповідно до такої структури ІМС на неї спочатку подається перша половина коду адреси, що фіксується у внутрішньому регістрі ІМС за



спадом сигналу  $RAS\#$  (рис. 3.4.6, б). Потім подається друга половина цього коду, яка фіксується в іншому внутрішньому регістрі спадом імпульсу  $CAS\#$ . Так утворюється повний код адреси комірки та починає виконуватися операція, що вказана сигналом на вході  $RD/WR$ : «0» – запис, «1» – читання. Доречно зауважити, що тільки в останньому випадку вихід цієї ІМС стає активним, інакше – стан Z. В ІМС серії 565 інформація, що підлягає запису ( $DI$ ), спадом сигналу  $WR\#$  фіксується в додатковому тригері.

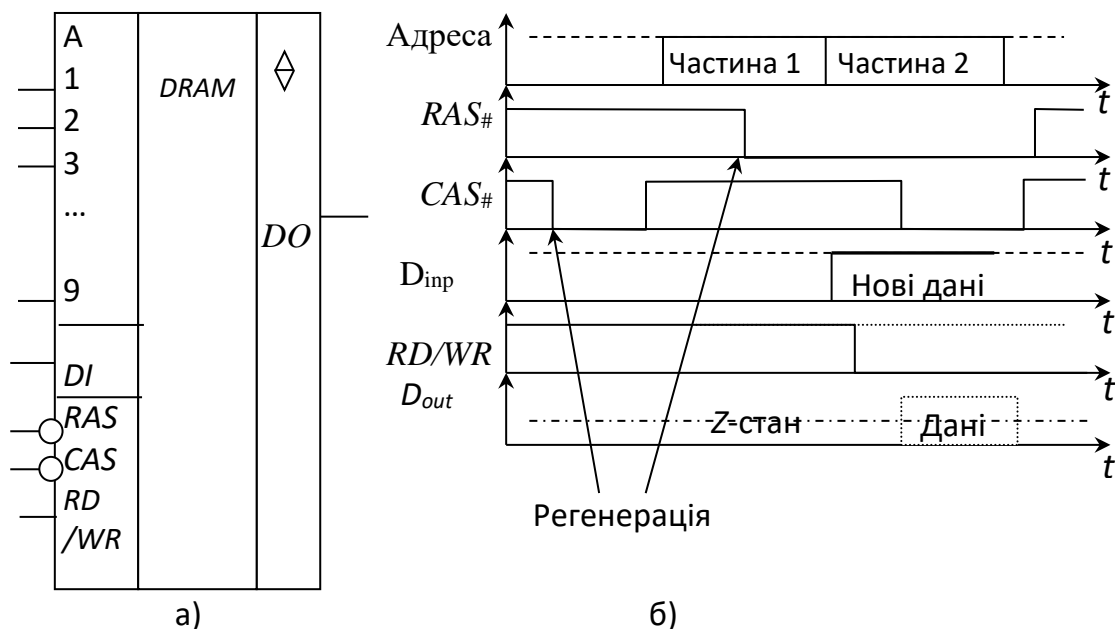


Рис. 3.4.6. Динамічний ОЗП типу 565PU7 (а) та порядок керування ним (б)

Однак слід зазначити, що динамічним ОЗП притаманний істотний недолік, пов'язаний із невеликою тривалістю збереження заряду в ємності елемента пам'яті, особливо в умовах зростання температури. Тому виникає необхідність періодичного поновлення інформації – проведення регенерації елементів пам'яті, і, якщо цю задачу покласти на зовнішні пристрої, то це значно ускладнювало б використання подібних ОЗП. Тому для усунення даної проблеми застосовуються вузли регенерації, вбудовані в ІМС. Зокрема, регенерація вибраних комірок, а також сусідніх на одному рядку матриці відбувається під час зчитування інформації.

Так, з появою сигналу  $RAS\# = 0$  відбувається регенерація рядка елементів, номер якого збігається зі значенням прийнятої першої частини коду адреси. Тому в даних елементах пам'яті доцільно спочатку завантажувати молодші розряди коду, що частіше змінюються, або спеціально періодично змінювати першу частину коду адреси регенерації та подавати сигнал  $RAS\# = 0$ .

Також у подібних ІМС передбачаються вузли напівавтоматичної регенерації, які автономно ведуть рахунок рядків та виконують регенерацію наступного з появою сигналу  $RAS\# = 0$ , якщо  $CAS\# = 0$ . Це дозволяє уникнути застосування додаткових контролерів, хоча необхідність відрахунку часу залишається. За стандартом для регенерації є достатнім звертання до наступного рядка матриці елементів пам'яті із середнім темпом, не рідше 16,5 мкс.

Сучасні ІМС динамічних ОЗП орієнтовані на прискорення операцій із масивами даних (пакетний режим). Так, уже в традиційних *DRAM* класу *FPM* забезпечується послідовне зчитування наступних комірок пам'яті одного рядка матриці шляхом тактування по лінії  $CAS_{\#}$ , якщо  $RAS_{\#} = 0$ . У *DRAM* класів *EDO* та *BEDO* введено вихідний регістр даних, що дозволяє їх фіксувати для швидкої підготовки наступних за принципом конвеєра. Ще краще конвеєризація операцій із масивами реалізована в синхронних *DRAM* (клас *SDRAM*), на які крім зазначених раніше сигналів, подаються імпульси тактування частотою до 100 МГц і з таким темпом можуть отримуватися наступні елементи масиву, крім першого (потрібно п'ять тактів).

Об'єм пам'яті на корпус сучасних *DRAM* становить до 256 Мбіт. Тривалість доступу становить 45...250 нс. Якщо така ІМС має комірки з розрядністю більше одного байта (до чотирьох), то передбачається їх роздільний вибір завдяки окремим сигналам  $CAS_{\#0}...CAS_{\#3}$ .

#### 3.4.1.5. Енергонезалежні оперативні запам'ятовувачі

Іноді є доцільними такі оперативні запам'ятовувачі, які б зберігали інформацію і без напруги живлення (енергонезалежно). Наразі подібні ОЗП (*NVRAM*) використовуються і будуються на різноманітних принципах.

Перша і доволі поширена група – *BBSRAM* – ґрунтується на використанні звичайних ОЗП статичного типу КМОН-технології з мініатюрним джерелом живлення – літєвим елементом, що вбудовується в корпус мікросхеми. Оскільки за сталих значень вхідних сигналів такі ОЗП енергії майже не споживають, тому джерело живлення служить декілька років. Під час використання мікросхеми в діючій системі її внутрішнім вузлом контролю виявляється наявність напруги живлення, і комутація виконується на нього. Усе це ускладнює ІМС і здорожує її виробництво.

Впровадженню енергонезалежного ОЗП на принципах РППЗП з електричним стиранням (*EEPROM*) заважає обмеження кількості змін інформації та мала швидкість стирання й запису.

Істотно кращих параметрів енергонезалежного ОЗП вдалося досягти на основі магнітних явищ. У цьому напрямку відомо декілька принципово відмінних видів пам'яті. Перший – на основі атомів заліза з орієнтованими спінами (магнітних доменів), що рухаються. У пострадянських країнах ІМС, реалізовані на таких принципах, маркуються літерами РЦ, наприклад 1605РЦ1. На основі реалізації зазначеного принципу одна з провідних фірм-розробників *FRAM*-ОЗП – *Ramtron* випускає компоненти пам'яті як із послідовними інтерфейсами ( $I^2C$ , *SPI*), так і з паралельним. В останньому випадку забезпечується термін вибірки 70 нс, а кількість змін інформації – більше  $10^{10}$  за об'єму пам'яті 32 Кбайт. При цьому корпус ІМС аналогічний, як і у звичайних *SRAM* (наприклад FM1808-70P).

Інший вид елементів пам'яті *NVRAM*, на основі багаточислової структури з діелектрика та магнітних матеріалів – магнітного тунельного переходу. В ОЗП з комітками останнього типу (*MRAM*) досягнуто найменшої тривалості доступу

25...35 нс, а тривалість запису – 70 нс. Вони є також стійкими до радіаційного опромінення.

Збільшення об'єму пам'яті репрограмованих ПЗП та енерго-незалежних ОЗП привело до створення на їх основі таких інтегральних компонентів, що мають додаткові вузли для забезпечення типових протоколів інформаційних передач (зокрема, для *USB*) та виконання інших операцій – так звані автомати запису/зчитування. Подібні компоненти почали використовуватися самостійно й отримали назву «флеш-пам'ять». Типові приклади – карти пам'яті для цифрових фотоапаратів, електронні диски для перенесення інформації між комп'ютерами тощо. Такі компоненти мають зменшену кількість виводів завдяки прийманню команд керування і кодів адреси, а також видачі інформації послідовним кодом – *FLASH* з послідовним доступом.

Отже, для зберігання інформації в цифрових пристроях існують різноманітні інтегральні компоненти з істотно відмінними можливостями щодо зміни інформації, умов і терміну її збереження та часових параметрів доступу.

### **3.4.2. Програмовані логічні інтегральні схеми**

#### ***3.4.2.1. Різновиди структурного складу програмованих логічних інтегральних схем***

Цифрові пристрої набули значного поширення в різноманітних технічних системах, де на них покладаються істотно відмінні задачі. Це призводить до урізноманітнення їх схемотехнічної будови, що, своєю чергою, створює проблеми, пов'язані з необхідністю мікромініатюризації обладнання, оскільки досягнення його високих експлуатаційних параметрів, особливо щодо швидкості дії, можливе лише в разі втілення пристрою в корпусі однієї мікросхеми. Незважаючи на те, що нинішній рівень розвитку сучасних технологій виготовлення ІМС будь-яких пристроїв принципових обмежень не має, однак виготовлення їх є не завжди доцільним і рентабельним. Це пов'язано з малочисельністю партій ІМС, а отже і нераціональністю їх виготовлення через надзвичайно високу ціну технологічного процесу їх розробки. Здешевлення інтегральних компонентів можливе лише в разі масового виробництва, що, своєю чергою, потребує їх певної уніфікації.

Один із способів розв'язання протиріччя між уніфікацією цифрових пристроїв та урізноманітненням їх функцій полягає у створенні їх у вигляді таких інтегральних мікросхем, які б дозволяли користувачу *програмувати структуру пристрою* безпосередньо на кристалі. Це, своєю чергою, потребує розв'язання двох основних проблем:

забезпечити програмування з'єднань всередині ІМС;

оптимізувати структурний склад ІМС для потреб заданого класу пристроїв при мінімумі її функціональних вузлів та елементів комутації.

Подібні ідеї почали втілюватися ще в 70-х рр. минулого століття, а структура прогамованих логічних інтегральних схем (ПЛІС) спочатку розроблялася виключно для комбінаційних операцій. При цьому перші зразки ПЛІС забезпечували втілення невеликої кількості логічних функцій (до восьми) у ДКНФ. Для цього згідно з п. 1.2 потрібно мати прямі та інвертовані значення вхідних сигналів, утворювати з них певні кон'юнкції, а далі отримані терми об'єднувати операцією «Або». Тому ця група ПЛІС (названа ПЛМ) містить: набір інверторів за кількістю входів, певну кількість кон'юнкторів та елементи «Або» за числом виходів. Програмування функцій виходів забезпечується створенням зв'язків одночасно у двох комутаційних матрицях (рис. 3.4.7): на перетині ліній протилежних значень вхідних сигналів та входів елементів «І», а також на перетині виходів цих елементів та входів диз'юнкторів. Якщо вираз функції містить дужки, то необхідне повторне виконання таких операцій внаслідок зворотного зв'язку з відповідних виходів на вільний вхід ПЛМ.

Мікросхеми ряду ПЛМ мають недосконалі можливості щодо застосування й складні матриці з'єднань. Наприклад, мікросхема 556РТ2 (рис. 3.4.7) має 16 входів, 48 кон'юнкторів (діодних на 16 входів) і 8 вихідних елементів «Або» (на 48 входів).

У мікросхемах ПЛІС нової групи – ПМЛ перша матриця з'єднань розділена таким чином, що до кожного елемента «Або» можна під'єднати тільки визначені елементи «І» (зазвичай, до семи). Однак функціональні можливості цих ПМЛ розширені завдяки тому, що виходи пар елементів «Або» додатково обробляються за логікою «Або» та «Нерівнозначність». Це дало змогу замість двох сигналів утворювати чотири й вибрати серед них потрібний.

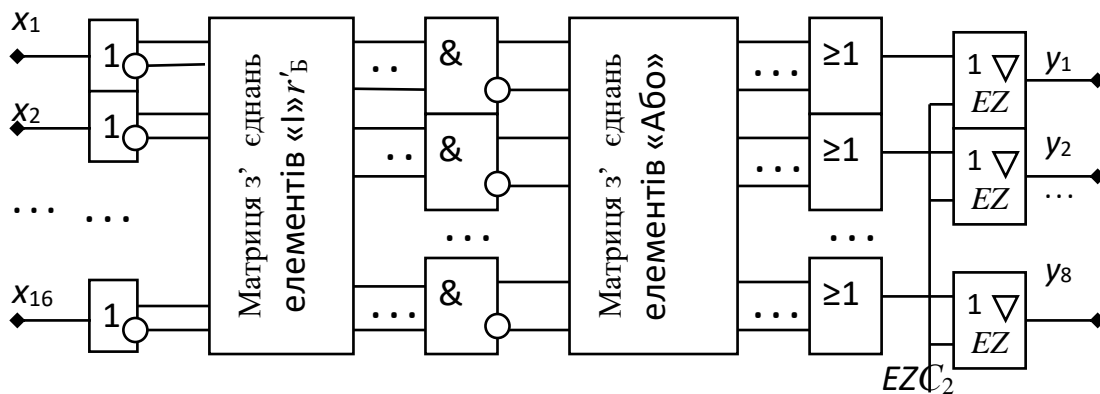


Рис. 3.4.7. Логічна структура ПЛМ К556РТ2

Істотним удосконаленням ПМЛ стало введення в їх структуру тригерів та впровадження двонапрямлених виводів – входів/виходів, зокрема як це реалізовано у мікросхемах 1556ХП4...8 (рис. 3.4.8).

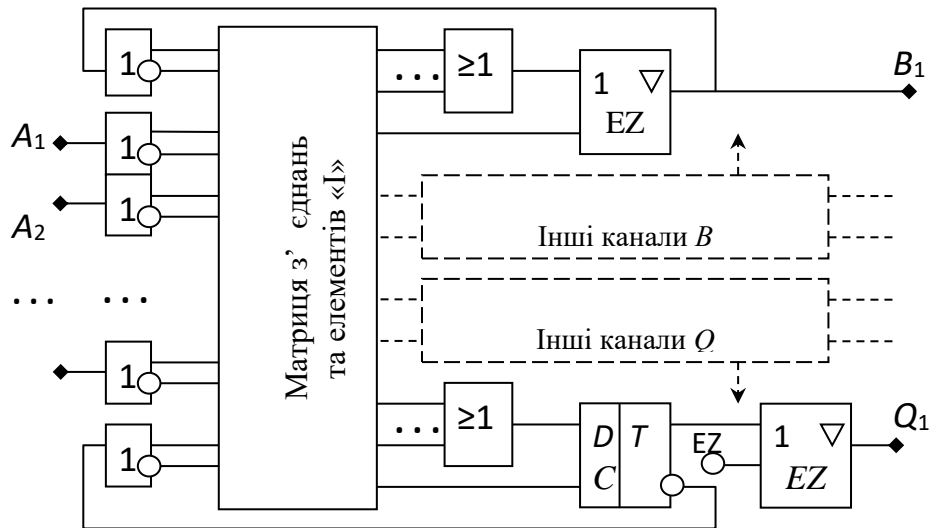


Рис. 3.4.8. Логічна структура ПМЛ К1556ХП4, 6, 8

Структура зазначеної ІМС містить:

групу звичайних входів ( $A_i$ ), що використовуються тільки в матриці з'єднань елементів «І»;

двонапрямлені лінії ( $B_i$ ), які функціонують за принципом: якщо передавач у стані  $Z$ , то вони використовуються подібно до входів групи  $A$ , інакше – як виходи або утворюють сигнал зворотного зв'язку для втілення логічних виразів із дужками;

групу виводів ( $Q_i$ ) від каналів, що містять елементи пам'яті –  $D$ -тригери. Останні тактуються одночасно від окремого входу мікросхеми  $C$ . Самі виходи  $Q_i$  теж з трьома станами, причому керуються спільним сигналом  $OE$ . Важливо, що від тригерів є зворотний зв'язок на матрицю «І».

Подібна структура відповідає класичній побудові пристрою послідовнісного типу (див. п. 3.3.1.1).

Значно вдосконалено структуру ПЛІС ряду  $PLD$  (рис. 3.4.9), у яких для кожного виходу передбачено так звану макрокомірку, побудовану подібно до рис. 3.4.8. Кожна така макрокомірка має дві групи зовнішніх виводів ( $A$  та  $B$ ). При цьому виводи групи  $A$  є спільними для всіх макрокомірок та призначені тільки для введення сигналів, а виводи групи  $B$  можуть бути як входами, так і виходами. Важливо, що між макрокомірками є зв'язки на рівні диз'юнкцій. Тому в цілому в цій ПЛІС забезпечується:

об'єднання результатів декількох диз'юнкцій, зокрема із сусідньою макрокоміркою;

вибір прямого чи інвертованого значення результату диз'юнкції;

вмикання й вимикання тригера в колі проходження сигналу;

кероване переведення  $D$ -тригера в лічильний режим ( $T$ );

синхронне й асинхронне керування тригером;

послідовне вмикання макрокомірок;

двонапрямлений вхід/вихід каналу з трьома станами.

*Примітка.* Лінії з кружками під'єднані до елементів пам'яті конфігурації.

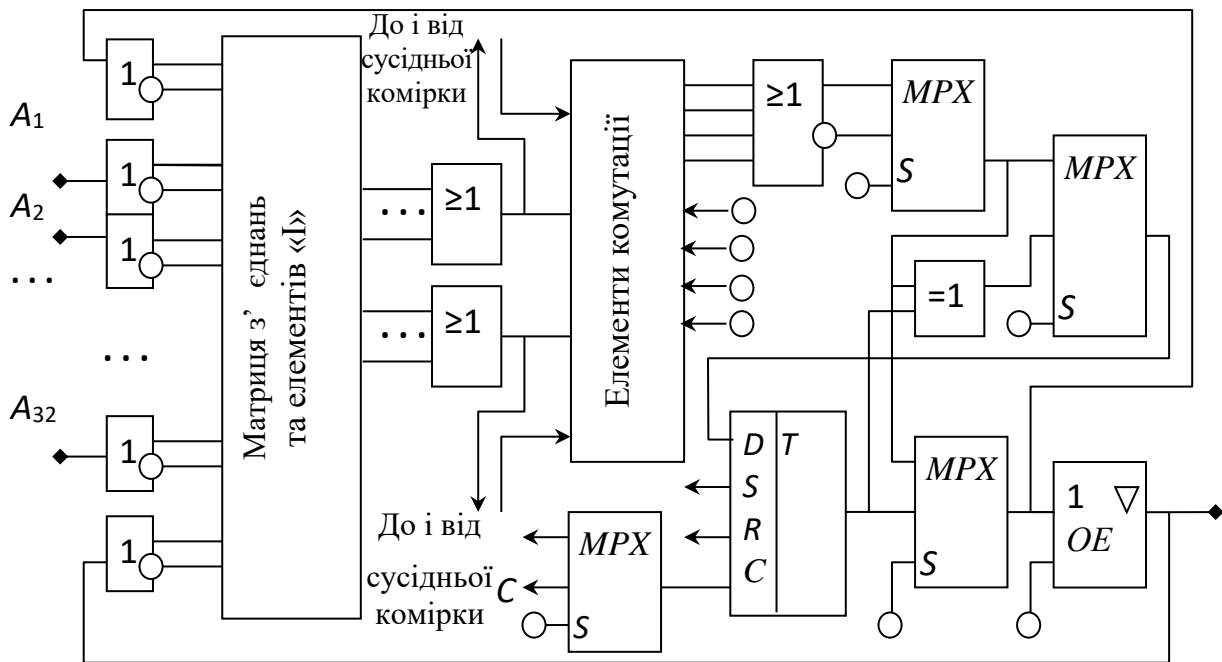


Рис. 3.4.9. Логічна структура макрокомірки ПЛІС ряду *PLD*

Необхідність втілення в корпусі ПЛІС складних за структурою і логікою дії пристроїв потребувала різкого збільшення в їх складі кількості логічних елементів і тригерів. Тому структура ПЛІС постійно зазнавала кількісних і якісних змін. Зокрема, нові покоління ПЛІС ряду *CPLD* організовані таким чином, що макрокомірки в них (яких уже сотні) під'єднані до глобальної програмованої матриці з'єднань, а їх блоки введення-виведення забезпечують або видачу результату, або під'єднання виводу ІМС до цієї матриці з'єднань. У вихідній частині крім вимкнення виходу передбачено два варіанти крутості фронтів вихідного сигналу: велика крутість – для швидкодіючих вузлів та мала – для звичайних застосувань. Останнє реалізує функцію зменшення рівня взаємних завад.

Наступним якісним кроком в удосконаленні ПЛІС стало підвищення їх «зернистості» (складності внутрішніх вузлів) завдяки застосуванню різноманітних функціональних блоків. Прикладами цього є ПЛІС класу *FPGA*: *XC2000*, *XC3000*, *XC4000* фірми *Xilinx*; *ACT1*, *ACT2* – *Actel*; *FLEX8000*, *MAX9000* – *Altera*. Їх називають «програмовані користувачем вентиляльні матриці», оскільки вони містять матрицю однотипових конфігурованих логічних блоків (КЛБ); локальну матрицю з'єднань (ЛМЗ) та комутатори напрямку проходження вихідних сигналів. Цю матрицю обрамовують блоки введення-виведення (БВВ), безпосередньо з'єднані з виводами мікросхеми (рис. 3.4.10). Між рядами всіх цих блоків проходять лінії трасування та містяться ключі для з'єднань, які утворюють глобальну матрицю з'єднань (ГМЗ). Між функціональними блоками (ФБ) є також прямі зв'язки, зокрема для організації перенесень.

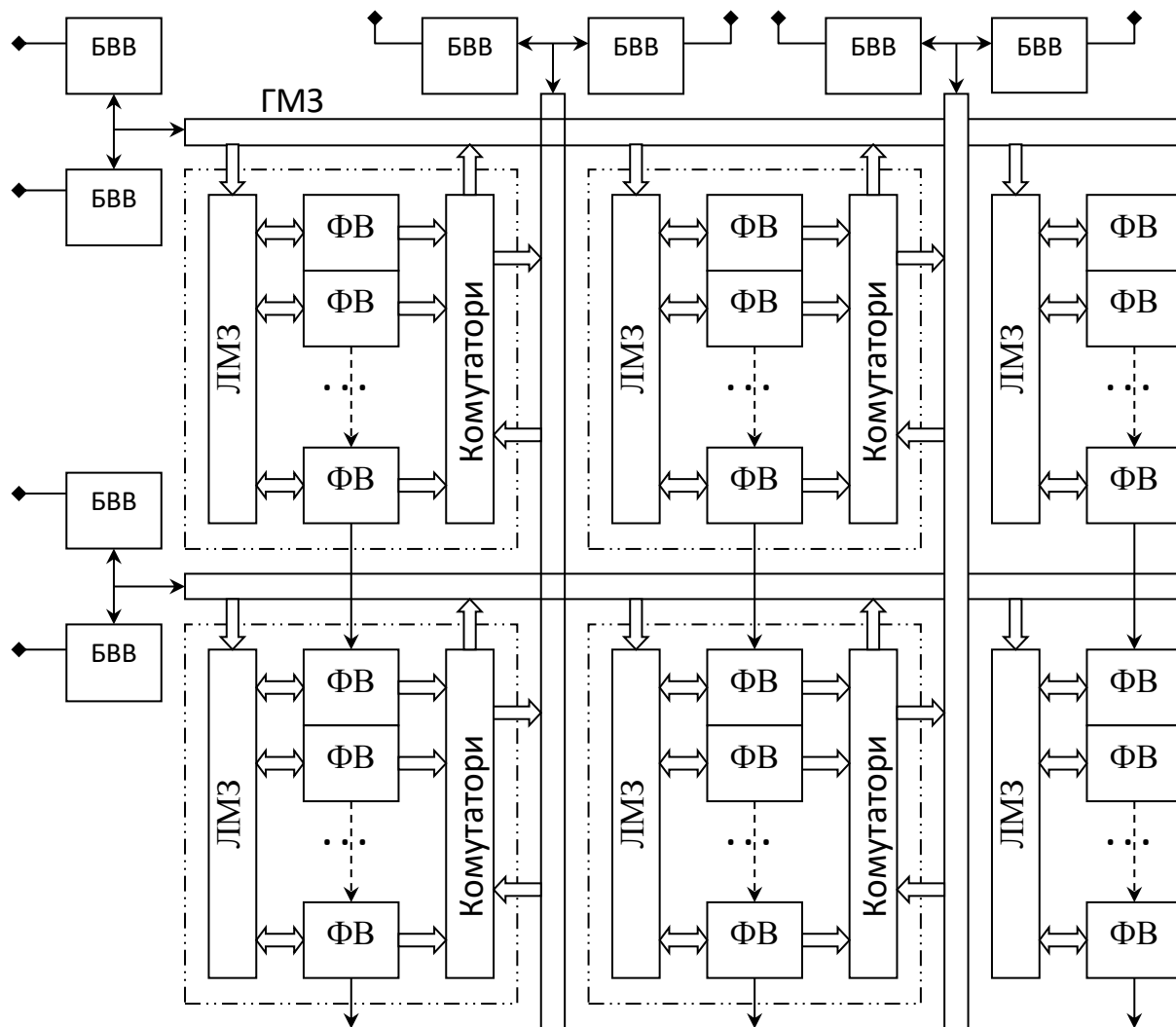


Рис. 3.4.10. Фрагмент структури ПЛІС рядів *FPGA*

Існують *FPGA* із дрібнозернистими ЛБ на основі функціональних вузлів (ФВ) з логічних елементів «І» та «Або», логічних блоків (ЛБ) ширшого призначення на основі мультиплексорів та ЛБ із розширеними функціями перетворення сигналів на основі РПЗП та елементів пам'яті на тригерах. Застосування дрібнозернистих ЛБ дозволяє оптимізувати структуру пристрою за критерієм кількості елементів, але програє у попередників за кількістю ключів комутації, а іноді також за швидкістю дії. Так, *FPGA* зі складними ЛБ, навпаки, дозволяють обійтися меншою кількістю з'єднань, однак при цьому більшість наявних у КЛБ елементів частіше не будуть використовуватися. Це призводить до необхідності застосовувати для створення пристрою складніших і дорожчих ПЛІС.

Блоки введення/виведення в *FPGA* (рис. 3.4.11) містять відповідні два канали, в кожному з яких є *D*-тригер для фіксації даних, що передаються або приймаються, а також є елементи комутації для обходу тригерів та керування інвертуванням усіх сигналів.

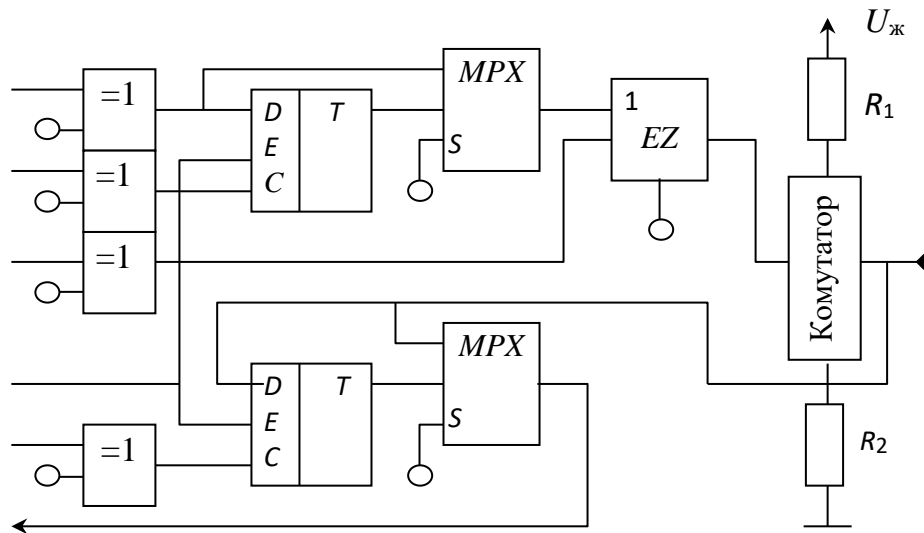


Рис. 3.4.11. Логічна структура блока введення/виведення  $C_1$

У вихідній частині БВВ, крім відключення виходу, як і в *CPLD*, передбачено зміну крутості фронтів сигналу: велика – для швидкодіючих вузлів та мала – коли вимоги неістотні. Додатково є комутатор, який у випадку незадіяного виводу ІМС дозволяє під'єднати його або до лінії  $0V$ , або до мережі живлення.

Логічні блоки ПЛІС рядів *FLEX10K* та *ACEX* (*Altera*) відрізняються наявністю вузлів табличного перетворення кодів, що надає можливість виконувати в них як логічні, так і арифметичні операції, необхідні для цифрового оброблення сигналів. Цьому сприяє наявність у цих ПЛІС ще й блоків ОЗП зі змінною організацією (від  $2048 \times 1$  біт до  $256 \times 8$  біт). Загальна еквівалентна складність цих ПЛІС становить до 250 000 логічних елементів.

Подальший розвиток ПЛІС повинен забезпечити втілення складної системи – це *ПЛІС класу SOC*. Їх характерні ознаки:

велика еквівалентна складність – понад 1000 000 елементів;

використання мегаблоків, які, по суті, мають структуру ПЛІС нижчого рівня – містять локальну матрицю з'єднань; табличні перетворювачі кодів, подібно до *FPGA*, і макрокомірки відтворення логічних функцій, подібно до *CPLD*;

використання складних функціональних модулів – вузлів пам'яті та навіть мікроконтролерів.

Зокрема, такими є ПЛІС ряду *APEX20K* (*Altera*).

Поряд з ПЛІС універсального призначення виготовлюються також ІМС, орієнтовані на певну сферу застосування, зокрема для систем комунікації з елементами цифрового оброблення відповідних сигналів. Прикладом таких ІМС є ряд *Mercury* (*Altera*), у якому для втілення різноманітних інтерфейсів ПЛІС поміж іншого містять вузли генераторів з ФАПЧ, перемножувачі, буферну пам'ять та інше.

### 3.4.2.2. Принципи конфігурування пристрою у програмно-логічних інтегральних схемах



Втілення конкретного пристрою на основі ПЛІС потребує:  
наявності опису дії пристрою в продуктивній формі;  
синтезу оптимальної схеми пристрою з урахуванням наявних ресурсів ПЛІС та її тестування на моделі;

утворення відповідного масиву даних щодо стану всіх елементів комутації, передбачених у ПЛІС;

введення масиву даних у мікросхему – програмування ПЛІС.

Загалом, ці операції для втілення цифрового пристрою навіть на ПЛІС помірної складності є досить трудомісткими. Тому, для кожної групи ПЛІС розроблено спеціальне програмне забезпечення автоматизації проектування (САПР). Так, для ПЛІС фірми *Altera* передбачені системи проектування *MAX+PLUS II* та *Quartus*. Програмне забезпечення САПР для ПЛІС класу *SOC* дозволяє комбінувати віртуальні апаратні блоки, розроблені іншими виробниками, за умови дотримання стандартів на їх проектування.

Важливо, що в САПР для ПЛІС завдання щодо створення пристрою може бути подано у трьох формах:

– графічно у вигляді принципової схеми пристрою, складеної з типових вузлів або умовних зображень поширених цифрових мікросхем;

– у вигляді діаграм вхідних сигналів пристрою та вихідних, що повинні бути створені ним унаслідок своєї роботи;

– текстовим описом задач побудови пристрою.

Схемний варіант опису пристрою є традиційним, однак потребує його попередньої розробки. У такому разі необхідно лише навести типові випадки співвідношень вхідних і вихідних сигналів з урахуванням взаємних затримок. Текстовий опис ґрунтується на використанні спеціальних мов опису алгоритмів дії цифрового пристрою. Їх можна поділити за рівнями: мови структурного опису пристрою, зокрема *AHDL (AlteraHardwareDescriptionLanguage)*, та мови опису дії пристрою, наприклад *VHDL* та *Verilog HDL*. Останні дозволяють виконувати також структурний опис пристрою.

Після опису завдання на проектування пристрою і вибору типу ПЛІС для його втілення виконується *компіляція проекту* – визначення конкретної структури будови пристрою на основі наявного в ІМС ресурсу функціональних та комутаційних елементів. Потім проводиться дослідження дій пристрою на його програмній моделі при заданих графічними образами або текстовим описом сигналах – *тестування і часовий аналіз*. На заключному етапі роботи до ПЕОМ під'єднується спеціальний адаптер для з'єднання з мікросхемою ПЛІС або конфігураційним РПЗП. При цьому під керуванням програмного середовища відбувається стирання попередньої інформації щодо конфігурації з'єднань і запис нової, внаслідок чого в мікросхемі утворюється спроектована структура пристрою.

Елементи пам'яті, що використовуються для конфігурації ПЛІС, поділяються за конструктивно-технологічними ознаками, подібно до ПЗП, так:

1) ПЛІС, які програмуються одноразово:

з перемичками, які ліквідуються шляхом плавлення або пробиття (типу *PROM*);

виготовлені на основі ЛІЗМОН-транзисторів без засобів стирання інформації (типу *EPROM-OTP*);

2) ПЛІС, що програмується багаторазово (репрограмовані):

на основі ЛІЗМОН-транзисторів зі стиранням ультрафіолетовим опроміненням (типу *UVPROM*);

на основі ЛІЗМОН-транзисторів з електричним стиранням (типу *EEPROM*);

із тригерною пам'яттю конфігурації (типу *SRAM-based*).

Останній варіант керування елементами комутації ПЛІС ґрунтується на використанні в ній спеціального регістра, у який на початку роботи пристрою заноситься масив даних, а кожен його біт визначає стан відповідного комутатора або транзисторного ключа. Ця пам'ять є енергозалежною, а тому, в разі вмикання живлення ПЛІС, інформацію в регістрі потрібно поновлювати. Подібні ПЛІС, зазвичай, доповнюються мікросхемою репрограмованого ПЗП з послідовним доступом (її називають конфігураційною). Звичайно, це здорожує пристрій, однак ПЛІС цієї конструктивно-технологічної групи відрізняються найбільшим обсягом елементів на кристалі. Зокрема, саме такі ПЛІС у рядах *FLEX* і *APEX*.

Існують також динамічно реконфігуровані ПЛІС (*DRFPGA*), у яких передбачається завантаження одночасно декількох масивів конфігурації з'єднань, що майже миттєво замінюються один одним за зовнішнім сигналом. Це дозволяє виконувати послідовність операцій оброблення сигналів на одній елементній базі шляхом відповідної зміни зв'язків.

У нескладних пристроях частіше використовують ПЛІС з енергонезалежними репрограмованими елементами пам'яті конфігурації та електричним їх стиранням (наприклад, ряди *MAX*).

*Примітка.* Існують мікросхеми, подібні до ПЛІС, у яких з'єднання в матрицях виконуються безпосередньо на заключному етапі виготовлення мікросхем – базові матричні кристали (БМК, чи ASIC). Їх використання дозволяє підприємствам електронної промисловості швидше втілювати нові розробки складних цифрових пристроїв в інтегральному виконанні. При цьому склад БМК зазвичай надлишковий – містять набір не тільки макрокомірок, але й функціонально завершених модулів, які можуть бути необхідні в пристроях. Елементи з'єднань БМК розташовуються на поверхні кристала ІМС, щоб виконувати металізацію ділянок на вже завершеному виробі. При цьому елементи електронної комутації відсутні, що спрощує будову ІМС.

Збільшення кількості елементів на кристалі ПЛІС, як і інших ІМС високого ступеня інтеграції, загострює проблему зменшення розсіювальної ними потужності, яка призводить до розігріву корпусу. Один із шляхів зниження потужності ІМС, яка споживається нею, – зменшення напруги її живлення. Якщо раніше типова напруга живлення цифрових ІМС становила 5 В, то на сьогодні, завдяки відповідній технології виготовлення елементів мікросхем, застосовуються напруги: 3,3 В; 2,7 В; 1,8 В та 1,5 В. Однак для виведення сигналів

назовні ІМС використовуються напруги, менші від  $3,3\text{ В}$ , що не є достатніми через втрату мікросхемою заводостійкості. Тому в подібних випадках ІМС потребує двох джерел живлення: зниженої напруги – для внутрішніх елементів та підвищеної – для вихідних каскадів (частіше  $3,3$  чи  $5\text{ В}$ ). Також у складних ПЛІС упроваджується режим зниженого живлення в паузах між зміною сигналів – завдяки відповідним змінам спеціального біта керування або внаслідок виявлення зміни вхідних сигналів. Однак останній варіант призводить до затримок у роботі пристрою.

Отже, для побудови складних цифрових пристроїв поряд з функціонально орієнтованими мікросхемами доцільно застосовувати також структурно складні ІМС універсального призначення – РПЗП і ПЛІС, які стрімко розвиваються і сприяють інтеграції і мініатюризації цифрових пристроїв. Однак подібні мікросхеми перед застосуванням потребують підготовки певного масиву даних і наступного його внесення із застосуванням відповідного програмного забезпечення та апаратного обладнання, які самі по собі є предметом окремої навчальної дисципліни або навчального посібника. Доречно зауважити і те, що часто ПЛІС є дорожчим виробом, ніж необхідний для втілення пристрою набір компонентів меншого ступеня інтеграції. Однак така ІМС дозволяє досягти максимальної швидкості дії, причому їх тактова частота може перевищувати межу  $250\text{ МГц}$ .

### Контрольні питання

1. У чому полягає різниця в експлуатації РПЗП типів *UV-PROM* і *EEPROM*?
2. Чим обумовлюється необхідність використовувати двопортові ОЗП та чим вони поступаються однопортовим?
3. Чому в цифровому пристрої з невеликим об'ємом пам'яті використовується ОЗП типу *SRAM*, а не *DRAM*?
4. Які переваги та недоліки проектування цифрових пристроїв на різних типах ПЛІС порівняно з компонентами стандартного призначення?

### Розділ 3.5. ГЕНЕРАТОРИ ІМПУЛЬСІВ ТАКТУВАННЯ

Функціонування цифрових вузлів послідовнісного типу потребує певних хронізуючих сигналів із заданими часовими параметрами. Для цього в структурі цифрових пристроїв обов'язково передбачені генератори імпульсів тактування. Останні поділяються на автогенератори, які самостійно створюють імпульсну послідовність із заданою частотою, та різноманітні формувачі, які змінюють лише тривалість вхідних імпульсів. Крім того, використовується ще ряд вузлів, які утворюють імпульси в логічних рівнях із вхідних коливань напруги аналогового сигналу – частіше гармонічної або експоненціальної. Це відбувається або внаслідок певного підсилення з обмеженням аналогового сигналу логічними рівнями, або на основі використання вузлів з нелінійною (гістерезисною)

передавальною амплітудною характеристикою. Такі вузли часто є основою будови багатьох генераторів імпульсів тактування.

### 3.5.1. Вузли обмеження та порівняння аналогових сигналів

#### 3.5.1.1. Обмежувачі та компаратори аналогових сигналів

Типовою є задача перетворення гармонічних коливань напруги у послідовність імпульсів на основі обмеження її значень логічними рівнями. Однак якщо її вирішити за допомогою пасивних обмежувачів, то їх використанню буде перешкоджати здатність передавати на вихід лише частину вхідного сигналу і нездатність перетворити його в імпульси з крутими фронтами, як це потрібно в цифрових пристроях. Тому доцільними в цифровій техніці є активні обмежувачі, що додатково підсилюють вхідний сигнал. При цьому для їх реалізації не бажаним є застосування додаткових джерел живлення, крім передбачених для основного пристрою. У цифрових пристроях керування обладнанням зазвичай одна напруга живлення  $U_{ж} = 5 В$ , у мобільних – 2,4, 3 або 3,6 В, а в ПЕОМ наявні декілька джерел (+3,3, +5, –5, +12, –12 В).

**Підсилювачі-обмежувачі.** При однополярному живленні величиною  $U_{ж} = +5 В$  доцільним варіантом для реалізації підсилювачів-обмежувачів сучасних цифрових пристроїв є використання спеціальних низьковольтних операційних підсилювачів класу «Rail-to-Rail» (ОП-*rtr*), у яких вихідний сигнал змінюється майже від рівня одного полюса живлення (зокрема  $V_{cc1} = U_{ж}$ ) до іншого ( $V_{cc2} = 0 В$ ). Однак вхідний сигнал ОП-*rtr* повинен коливатися навколо середнього рівня цих напруг (2,5 В, якщо  $U_{ж} = +5 В$ ). Це досягається введенням зміщення середнього рівня обох входів ОП-*rtr* завдяки подільникам напруги (на рис. 3.5.1, а це  $R_1, R_2$  та  $R_3, R_4$ ). Відповідно, вхідний сигнал потрібно передавати через конденсатор ( $C_1$ ). Подібне вмикання ОП-*rtr* не обмежує коефіцієнта підсилення каскаду, а є компараторним – він, фактично, не підсилює сигнал, а порівнює потенціали двох входів. При цьому високий рівень на виході ОП-*rtr* ( $u_{вих} = U^1 = U_{ж}$  тобто сигнал  $Q = 1$ ) буде, коли потенціал прямого входу  $u_{пр}$  більший, ніж інверсного  $u_{інв}$ , причому коли їх різниця перевищує роздільну здатність  $\delta_u$ . І навпаки, сигнал на виході ОП-*rtr* буде рівня  $U^0$  ( $Q = 0$ ), коли потенціал прямого входу  $u_{пр}$  менший від інверсного  $u_{інв}$  (рис. 3.5.1, б).

$$Q = \begin{cases} 1, & u_{пр} - u_{інв} > \delta_u, \\ 0, & u_{інв} - u_{пр} > \delta_u; \end{cases} \quad \delta_u = \frac{U^1}{K_{П}}$$

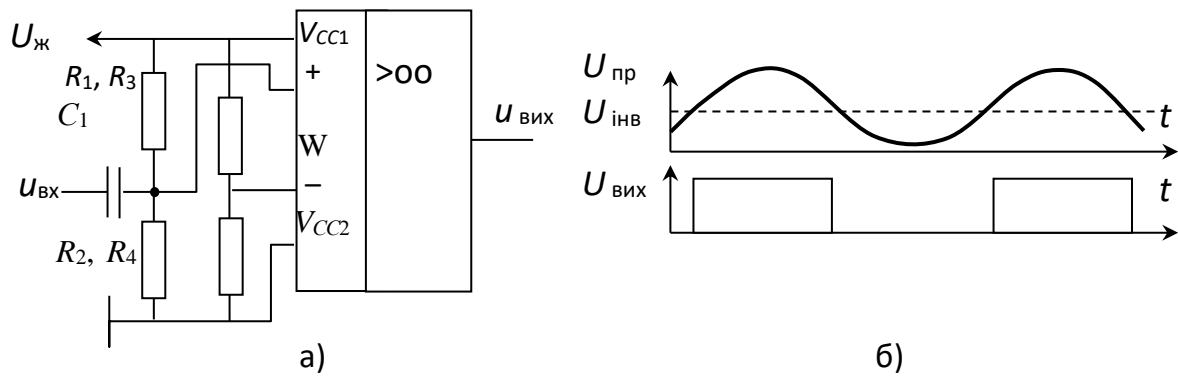


Рис. 3.5.1. Компараторне вмикання ОП-*rtr* (а) та приклад його гідії (б)

Роздільна здатність вузла  $\delta_u$  визначається коефіцієнтом підсилення  $K_p$ , а оскільки він не менший  $5 \cdot 10^4$  і  $U^1 = U_{ж}$ , то  $\delta_u < 0,1$  мВ. Однак ще може існувати певне зміщення нуля підсилювача  $U_{зм}$  (десятки мілівольтів), а також нетотожність опорів у подільниках, яка має аналогічну дію. Амплітуда вхідного сигналу повинна перевищувати обумовлений цим зсув потенціалів.

Вибираючи опір резисторів  $R_1, R_2, R_3, R_4$ , необхідно враховувати дві обставини:

- резистори подільника навантажують джерело вхідного сигналу (це накладає обмеження опору знизу);
- вхідний струм підсилювача не повинен утворювати на резисторах напругу, яка б могла помітно змінити рівень вибраної точки початкового режиму (обмеження опору зверху).

**Компаратори аналогових сигналів** – це стандартні вузли для порівняння напруг. Від операційних підсилювачів вони відрізняються, насамперед, тим, що вихідний каскад за електричними параметрами розрахований на взаємодію з цифровими вузлами. У типовому випадку цей вихідний каскад має окремий вивід живлення  $\#V_{cc}$  для вибору рівня логічної одиниці (рис. 3.5.2, а). У деяких компараторах низької швидкості дії вихідний каскад типу «відкритий колектор», що не вимагає окремого живлення, але потребує зовнішнього резистора навантаження між виходом і лінією живлення цифрової частини пристрою (рис. 3.5.2, б). Також існують компаратори, які узгоджуються з мікросхемами ЕЗЛ-технології і мають негативні рівні вихідного сигналу.

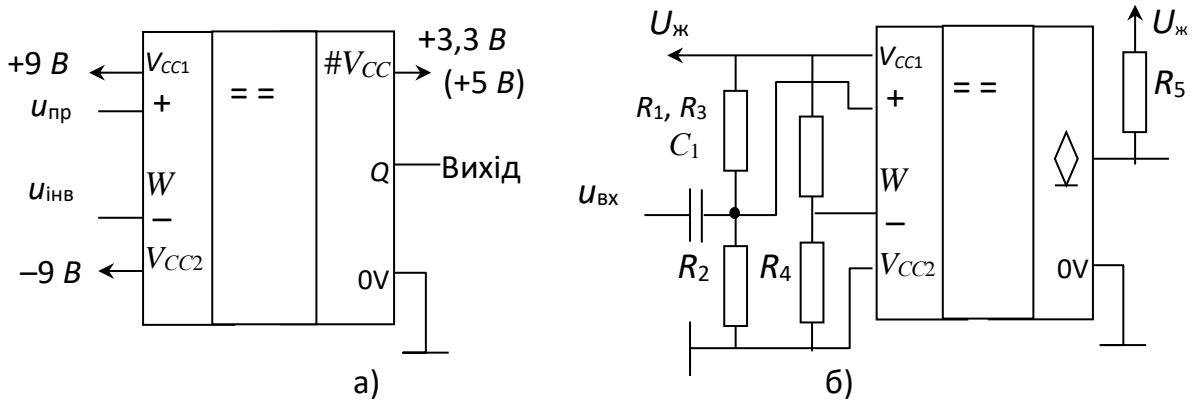


Рис. 3.5.2. Вмикання компараторів: 554СА4 з трьома джерелами живлення (а) і 554СА3 з однополярним живленням (б)

Крім типу вихідного каскаду аналогові компаратори поділяють за похибками порівняння та швидкістю дії – терміном установлення вихідного сигналу  $t_{вст}$  з моменту зміни входних. Деякі компаратори ще мають засоби фіксації стану виходу у внутрішньому тригері. Тоді є додатковий вхід дозволу зміни стану – вхід стробування  $EN$ .

У маркуванні інтегральні компаратори в пострадянських країнах мають літери СА.

**Обмежувач на логічному елементі.** Якщо вимоги щодо рівня спрацьовування вузла на вхідний сигнал і його підсилення невисокі, обмеження в цифрових пристроях може виконуватися на основі логічних елементів. Останні переводять у режим підсилення шляхом вибору робочої точки на середині схилу передавальної характеристики, встановивши середній потенціал на вході поблизу напруги перемикавання  $U_{пер}$ . Цього можна досягти завдяки використанню подільника напруги подібно до рис. 3.5.1, а. Щоб не підбирати величину цього потенціалу, можна скористатися інвертором, який охоплено резисторним колом зворотного зв'язку (рис. 3.5.3, а).

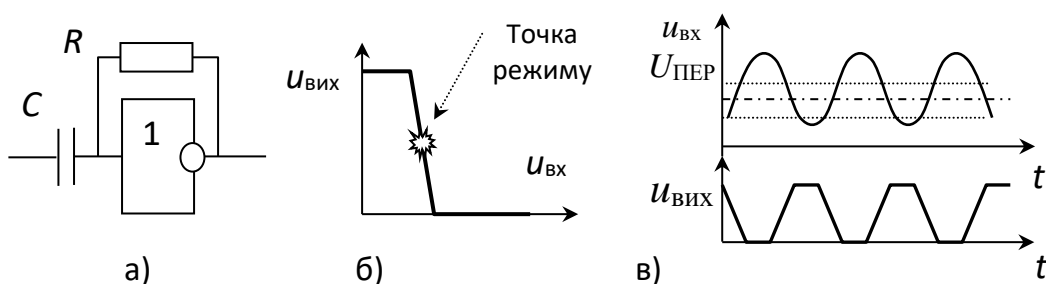


Рис. 3.5.3. Схема обмежувача на інверторі (а), положення робочої точки (б) та порядок його дії (в)

Якщо вхідний струм елемента неістотний (КМОН-технологія), то без вхідного сигналу потенціали входу й виходу логічного елемента однакові, що і визначає положення робочої точки:  $u_{вх} = u_{вих} \approx U_{пер}$ .

Щоб не змінити положення ТПР, вхідний сигнал обмежувача доцільно подавати через роздільний конденсатор. Вибираючи його ємність, слід забезпечити перехідний характер кола, тобто стала часу кола  $RC$  повинна значно

перевищувати період вхідного сигналу  $T_{п}$ . Стосовно вхідного опору вузла для змінної складової слід враховувати його нелінійний характер. Так, якщо амплітуди малі, завдяки зв'язку резистора  $R$  з виходом вузла, вхідний опір обмежувача  $R_{вх}$  значно менший за опір цього резистора. За великих амплітуд підсилення зменшується, а вхідний опір збільшується до  $R$ .

Загалом, використання логічних елементів для підсилення й обмеження аналогових сигналів має певні застереження. Так, якщо обмежувача вхідного сигналу немає, то логічний елемент знаходиться у важкому режимі, адже за  $u_{вх} = U_{пер}$  вихідні транзистори обох пліч вихідного каскаду відкриті (у ТТЛШ- і КМОН-елементах), через них протікає наскрізний струм, що може призвести до перегріву ІМС.

### 3.5.1.2. Тригери Шмітта

У процесі перетворення в імпульсний сигнал коливань напруги, яка змінюється досить повільно або має коливальну завадову складову, підсилювачі-обмежувачі та аналогові компаратори використати неможливо – їх вихідний сигнал буде мати пологі фронти з переколюваннями, що неприпустимо для тригерних вузлів. Ще складнішою є задача, пов'язана з прийманням бінарного сигналу (імпульсу) після його проходження порівняно довгою лінією зв'язку. Цей процес супроводжується порушенням амплітудно-фазових співвідношень між гармонічними складовими імпульсу, накладанням зовнішніх перешкод та призводить до значних змін форми сигналу ( $u_{вх}$  на рис. 3.5.5, б). Якщо для відтворення цього сигналу застосувати компаратор, то виникне не один, а декілька імпульсів.

Позбавитися вад сигналу в обох згаданих випадках можна, перетворюючи його у вузлі, що має гістерезис, до зміни стану виходу – тригером Шмітта (ТШ). Цей вузол має два стани виходу («0» та «1»), а керується одним аналоговим сигналом. При цьому стан тригера встановлюється стрибком у моменти перетинання вхідним сигналом відповідного порогового рівня: верхнього  $U_{пв}$  – знизу до гори та нижнього  $U_{пн}$  – зверху донизу. Якщо перетинання вхідною напругою рівня  $U_{пв}$  призводить до встановлення ТШ у стан «1», то він має прямий (звичайний) вихід, інакше – інвертований. Відповідно змінюється передавальна характеристика ТШ (рис. 3.5.4).

Функція тригерів Шмітта позначається літерами ТН або ознакою гістерезису (рис. 3.5.4). Основними параметрами ТШ є безпосередньо порогові рівні, а також їх різниця  $\Delta U_{г}$  – напруга гістерезису. Крім того, важливими є й інші параметри, як звичайного логічного елемента.

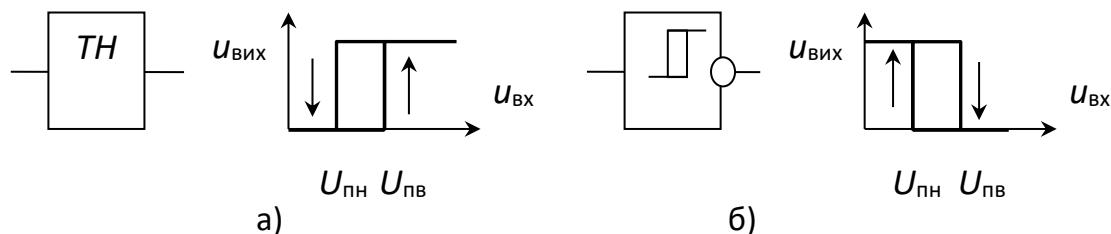


Рис. 3.5.4. Варіанти зображення і характеристики тригерів Шмітта з прямим (а) та з інвертованим (б) виходами

*Приклад 1.* Застосування ТШ для перетворення в імпульси коливань гармонічної напруги. Нехай використовується ТШ з інверторним виходом (рис. 3.5.5, а). При цьому фронти імпульсів на виході відповідають моментам перетинання сигналом  $u_{вх}$  відповідних порогових рівнів. Важливою особливістю ТШ є те, що як би повільно не змінювалася вхідна напруга на ньому, на його виході сигнал  $u_{вих}$  завжди має однакову крутість фронту.

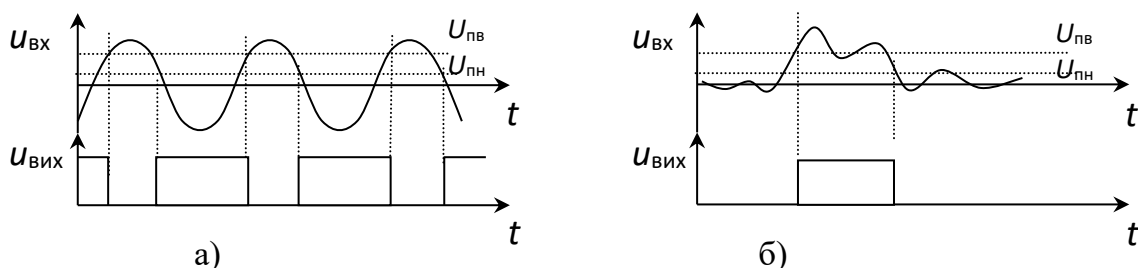


Рис. 3.5.5. Дія тригера Шмітта з інверсним (а) та з прямим (б) виходами

*Приклад 2.* Застосування ТШ для відтворення імпульсу, спотвореного лінією передачі. Перетворення спотвореного лінією імпульсу за допомогою ТШ з прямим виходом діаграмно показано на рис. 3.5.5, б. Можна помітити, що завдяки гістерезису ТШ після першого спрацьовування не реагує на повторне перетинання вхідним сигналом того самого порогового рівня, а тому цим самим вдається виправити спотворений лінією зв'язку сигнал без його розмноження, яке давав би компаратор. Такий спосіб відтворення спотвореного цифрового сигналу широко використовується в магістральних приймачах інформації мікропроцесорних пристроїв.

Загальним принципом побудови ТШ є використання підсилювача з позитивним зворотним зв'язком за сталою складовою, внаслідок чого вузол не може видавати проміжних значень вихідної напруги, крім крайніх: або максимальної ( $U^1$ ), або мінімальної ( $U^0$ ). Для випадку ОП-*rtr* це показано на рис. 3.5.6. У даній схемі, коли потенціал входу вузла  $u_{вх}$  перевищує рівень сигналу  $u_{пр}$  ( $u_{інв} > u_{пр}$ ), то на виході утворюється напруга  $U^0$  – майже 0 В. При цьому на прямому вході ОП рівень напруги визначається резистивним подільником від джерела живлення і становить нижній поріг  $U_{пн}$ .



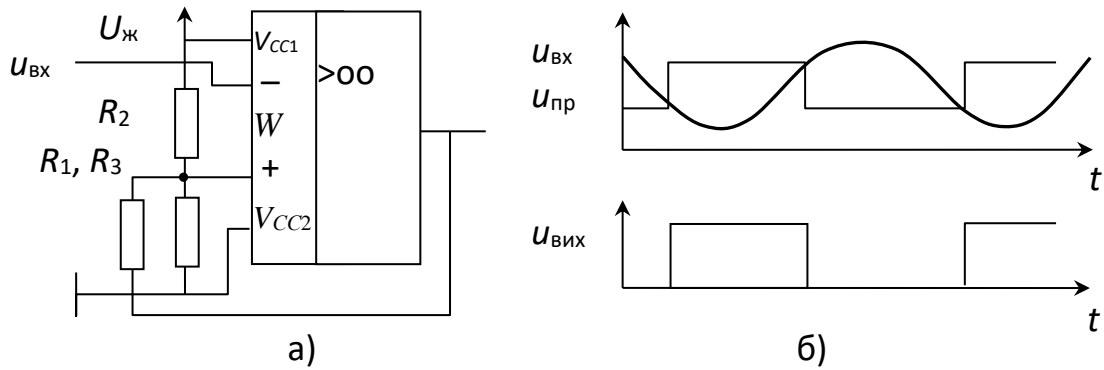


Рис. 3.5.6. Тригер Шмітта на основі ОП-*rtr* (а) та приклад його дії (б)

Якщо вхідний потенціал порівнюється із зазначеним рівнем  $U_{пр}$ , то потенціал виходу ОП-*rtr* буде підвищуватися, а завдяки резистору  $R_1$  це приведе до збільшення потенціалу  $u_{пр}$  і, відповідно, останній буде перевищувати потенціал  $u_{ВХ}$ . Тому на виході вузла стрибком встановиться максимальна напруга ( $U^1$ ), яка через коло зворотного зв'язку буде визначати нове значення  $u_{пр}$  – це буде верхній поріг ТШ. Тепер вихідна напруга зможе зменшитися до  $U^0$ , коли вхідна порівнюється зі встановленим порогом.

У сучасних однокристальних мікроконтролерах використовуються ТШ з гістерезисом, який керується програмно і може бути навіть нульовим. Ці вузли

деколи називаються *компараторами з керованим гістерезисом*.

Тригер Шмітта можна утворити також на основі компаратора з двополярним живленням (рис. 3.5.7).

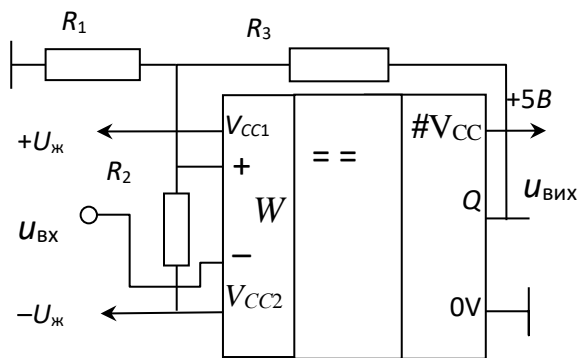


Рис. 3.5.7. Тригер Шмітта на компараторі

При цьому симетрія порогів досягається підбором співвідношення опорів резисторів  $R_2$  і  $R_3$ , а гістерезис –  $R_1$ . Завдяки своїм властивостям тригери Шмітта набули значного поширення і в інтегральному виконанні. Відповідні мікросхеми маркуються в пострадянських країнах літерами ТЛ і мають переважно інвертований вихід та суміщають разом функції логічних елементів (рис. 3.5.8). Порогові рівні в них наближено становлять  $U_{пн} = 1/3 \cdot U^1$  та  $U_{пв} = 2/3 \cdot U^1$ . Будова таких ТШ відрізняється від звичайних логічних елементів застосуванням додаткового каскаду з позитивним зворотним зв'язком, що вмикається перед

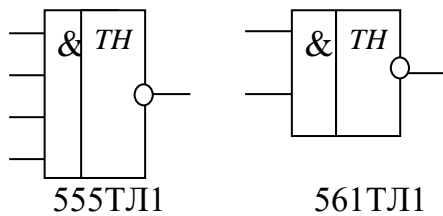


Рис. 3.5.8. Логічні елементи – тригери Шмітта

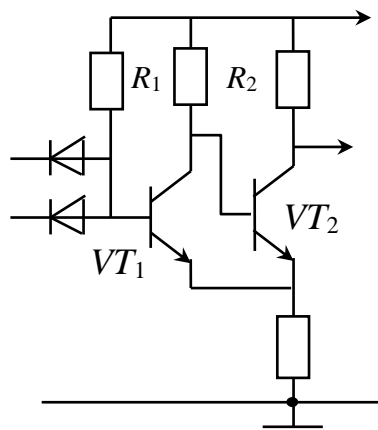


Рис. 3.5.9. Каскад ТШ у ДТЛ

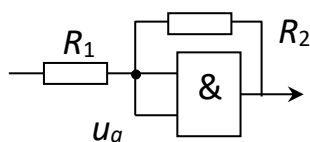


Рис.3.5.10. ТШ на логічному елементі

вихідним. Зокрема, у ДТЛ і ТТЛ – це каскад з емітерним зв'язком (рис. 3.5.9), де завдяки дотриманню умови  $R_3 < R_2$  процес відкриття транзистора  $VT_1$  відбувається за більшої вхідної напруги, ніж закриття, і супроводжується стрімкою зміною стану обох транзисторів.

### Тригер Шмітта з логічних елементів.

Щоб його побудувати, логічні елементи охоплюються колом позитивного зворотного зв'язку через резистивний подільник, тому можна використати або неінвертуючий елемент, або пару інвертуючих (рис. 3.5.10). Оскільки вхідний сигнал вузла і сигнал зворотного зв'язку діють в одному колі, то останній створює струм через джерело вхідного сигналу, тому необхідні резистори подільника зворотного зв'язку більшого опору, що можливо за малого вхідного струму елемента. Із цієї причини використовують мікросхеми КМОН-технології.

Загальні вимоги до опору резисторів у такій схемі, як в обмежувачі:

$$I_{вх} \cdot R_{скв} \ll U_{пер}; R_{скв} = \frac{R_1 \cdot R_2}{(R_1 + R_2)}; R_1, R_2 > R_{н\ min}.$$

Крім того в такій схемі потрібно ще враховувати їх вплив на гістерезис вузла. Так, нехай на його вході такий низький потенціал  $u_{вх}$ , що напруга на вході самого логічного елемента ( $u_a$ ) менша від його напруги перемикавання  $U_{пер}$ . Тоді на виході буде напруга логічного нуля – практично  $u_{вих} = 0\ В$ . Це означає, що вивід резистора  $R_2$  праворуч під'єднано до 0 В. Нехтуючи вхідним струмом логічного елемента, напругу на його вході  $u_a$  можна оцінити як частину вхідної  $u_{вх}$ :

$$u_a (u_{вих} = 0) = \frac{u_{вх} \cdot R_2}{(R_1 + R_2)}.$$

Щоб установити на виході рівень «1», потрібно подати такий рівень  $u_{\text{вх}}$ , щоб напруга  $u_a$  перевищила напругу перемикавання. Це значення вхідного сигналу слід вважати верхнім порогом  $U_{\text{пв}}$ :

$$U_{\text{пв}} = u_{\text{вх}}, \text{ якщо } u_a = U_{\text{пер}}, u_{\text{вих}} = 0.$$

Важливо, що збільшення вихідної напруги по колу зворотного зв'язку призводить до підвищення напруги  $u_a$ , і тому вихідна напруга далі буде зростати стрибком. Відповідне значення вхідної напруги становить верхній поріг, який можна оцінити так:

$$u_a (\text{якщо } u_{\text{вих}} = 0) = \frac{U_{\text{пв}} R}{(R_1 + R_2)} = U_{\text{пер}},$$

звідки:

$$U_{\text{пв}} = \frac{U_{\text{пер}} \cdot (R_1 + R_2)}{R_2} = U_{\text{пер}} \cdot \left(1 + \frac{R_1}{R_2}\right).$$

Коли на виході ТГШ встановлено «1», то напруга  $u_a$  залежить і від вхідної, і від вихідної  $U^1$  (для КМОН-технології  $U^1 = U_{\text{ж}}$ ):

$$u_a (\text{якщо } u_{\text{вих}} = U^1) = u_{\text{вх}} + U_{r1}; \quad U_{r1} = \frac{(U^1 - u_{\text{вх}}) \cdot R_1}{(R_1 + R_2)}.$$

Вихід повернеться у стан «0» за такої вхідної напруги  $u_{\text{вх}} = U_{\text{пн}}$ , коли в стані виходу «1» напруга  $u_a$  досягне рівня перемикавання  $U_{\text{пер}}$ , тобто:

$$U_{\text{пн}} = u_{\text{вх}} \text{ за } u_a = U_{\text{пер}}, u_a = U_{\text{пер}}, u_{\text{вих}} = U^1.$$

Оскільки

$$u_a (\text{за } u_{\text{вих}} = U^1) = u_{\text{вх}} + U_{r1}; \quad U_{r1} = (U^1 - u_{\text{вх}}) \cdot R_1 / (R_1 + R_2),$$

то

$$U_{\text{пн}} = u_{\text{вх}} = U_{\text{пер}} \cdot (1 + R_1 / R_2) - U^1 R_1 / R_2 = U_{\text{пв}} - U^1 \cdot R_1 / R_2.$$

Зазвичай дотримується співвідношення  $U^1 = 2U_{\text{пер}}$ , тому

$$U_{\text{пн}} = U_{\text{пер}} \cdot (1 - R_1 / R_2).$$

Тобто пороги цього тригера Шмітта симетричні відносно напруги перемикавання логічного елемента  $U_{\text{пер}}$ .

Отже можна дійти висновку, що для перетворення коливань напруги в імпульсний сигнал можна використовувати як компаратори, так і тригери Шмітта. Переваги останніх полягають у крутих фронтах імпульсів та наявності гістерезису спрацьовування, а самі тригери Шмітта можуть бути як інтегральними, так і побудованими на основі компараторних або логічних елементів.

### 3.5.2. Генератори поодиноких імпульсів

### 3.5.2.1. Формувачі імпульсів

Іноді в пристрої потрібно обмежити тривалість дії активного рівня вхідного сигналу (вкоротити його). Найпростіше така задача вирішується шляхом диференціювання вхідного сигналу. Причому останнє може відбуватися як фізичним диференціюванням сигнальної напруги, так і на основі аналізу зміни значення сигналу. В обох випадках активний рівень вхідного сигналу повинен діяти тривалий час (запуск пристрою здійснюватися сталим значенням – потенціалом). На схемі це слід відобразити, як на рис. 3.5.11.

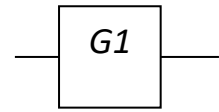


Рис. 3.5.11.  
Формувач

**Формувач із колом затримки.** Зміну сигналу можна виявити, виконуючи порівняння його поточного значення  $x(t)$  з тим  $x(t - t_3)$ , яке було на ньому певний термін  $t_3$  раніше. Так, якщо вихідний імпульс потрібно утворювати тільки в разі зміни вхідного сигналу від 0 до 1, то необхідно виявити, коли значення  $x(t - t_3) = 0$ , а  $x(t) = 1$ . Відповідно, вихідний імпульс повинен утворюватися згідно з логічною функцією  $y = x(t) \cdot \overline{x(t - t_3)}$ , а практична реалізація потребує елемента «І» та кола затримки сигналу з його інвертуванням. Якщо ж вихідний імпульс потрібно формувати під час переходу вхідного від 1 до 0, то у подібному вузлі інвертувати потрібно не затримане, а поточне значення  $x(t)$ . Оскільки сам інвертор вносить затримку, то це не зовсім коректно. Однак на основі теореми де Моргана можна виконати заміну елемента «І» еквівалентним вузлом з «Або», що дає змогу ліквідувати подвійне інвертування:

$$y = \overline{x(t)} \cdot x(t - t_3) = \overline{\overline{x(t)} \vee \overline{x(t - t_3)}} = \overline{x(t) \vee x(t - t_3)}.$$

Схему пристрою, що відповідає отриманому виразу, та порядок його дії показано на рис. 3.5.12, а, б.

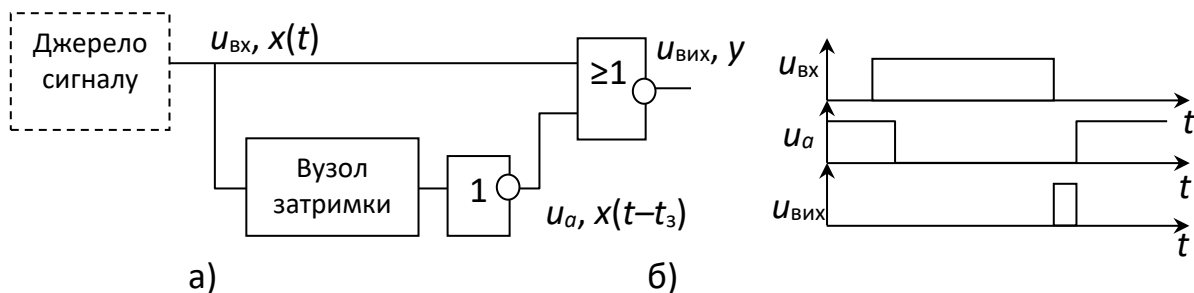


Рис. 3.5.12. Формувач імпульсу з колом затримки (а) та порядок дії (б)

Із наведеної схеми очевидно, що тривалість вихідного імпульсу  $t_{\text{имп}}$  дорівнює інтервалу затримки сигналу  $t_3$ , який складається із затримок у відповідному вузлі та в інверторі. Якщо затримка нетривала, її досягають внаслідок послідовного вмикання логічних елементів ( $k$  разом з інвертором). Тоді орієнтовно  $t_3 = k t_{3\text{р.с.}}$ . Однак якщо тривалість вихідного імпульсу потрібна навіть у сотні наносекунд, то за швидкодіючої компонентної бази кількість необхідних логічних елементів виявляється надто великою.

**Формувач на реєстрі зсуву.** У разі наявності у пристрої безперервної послідовності імпульсів тактування  $T_T$  значення сигналу  $x(t)$  у різні моменти часу можна отримувати, використовуючи реєстр зсуву з пари тригерів (рис. 3.5.13).

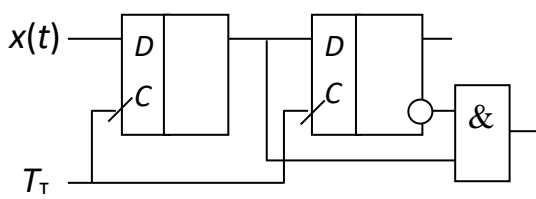


Рис. 3.5.13. Формувач із реєстром зсуву

Тоді схема формувача не буде потребувати  $RC$ -кіл, які, зокрема, не можливо використати у ПЛІС. Тривалість вихідного імпульсу в цій схемі кратна періоду імпульсів тактування. Крім того, його початок «прив'язаний» до їх фронту й не збігається із фронтом вхідного сигналу  $x(t)$ .

**Формувач з інтегрувальним колом.** Подовжити затримку зміни сигналу  $x(t - t_3)$  можна внаслідок штучного затягування фронту імпульсу та наступного його відтворення. Своєю чергою, затягування фронту імпульсу досягається внаслідок вмикання на виході логічного елемента інтегрувального  $RC$ -кола (рис. 3.5.14, а). Наступне відтворення сигналу може виконуватися тригером Шмітта, а за умови допустимості переколювань на схилі вихідного імпульсу – навіть логічним елементом.

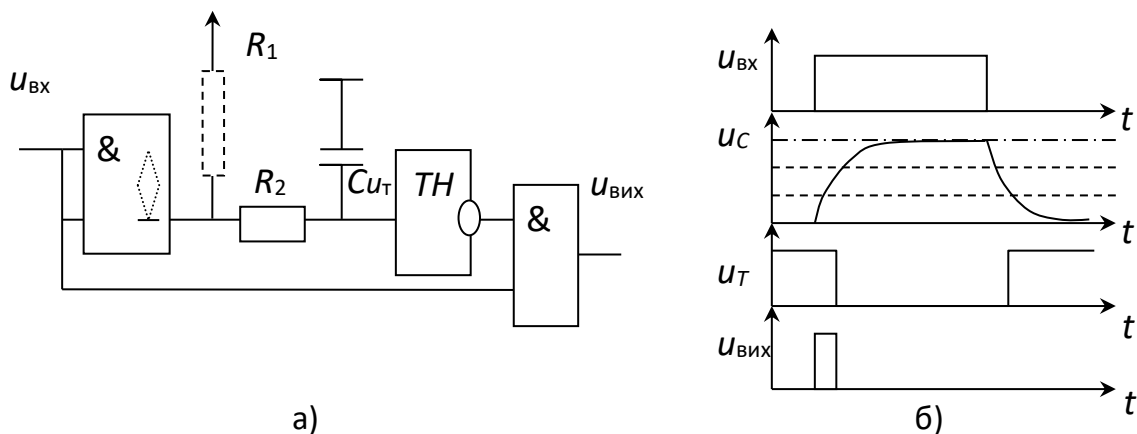


Рис.3.5.14. Формувач імпульсу з інтегрувальним колом (а) та порядок дії (б)

Використовуючи ТТЛ(Ш) елементи, слід мати на увазі, що в них, на відміну від КМОН, рівень  $U^1$  майже у два рази менший від напруги живлення, а це призводить до похибок спрацьовування ТШ на пологій ділянці заряду конденсатора. Тому у випадку ТТЛ(Ш) елемента його рівень  $U^1$  доцільно штучно підвищити, використовуючи додатковий резистор до джерела живлення ( $R_1$  на рис. 3.5.14, а). При цьому сам елемент може бути з відкритим колекторним виходом.

Для випадку інтегральних ТШ:  $U_{пн} = 1/3 U^1$ ,  $U_{пв} = 2/3 U^1$ , а тому у варіанті розглянутого вузла з одним резистором  $t_{імп} = \tau \ln 3 = 1,1 R_2 C$ . У разі використання звичайного логічного елемента імпульс буде формуватися лише до досягнення напругою конденсатора рівня перемикування, що становить  $U_{пер} = U^1/2$ . Тому  $t_{імп} = \tau \ln 2 = 0,7 R_2 C$ .

У наведених виразах не враховується наявність певного вхідного струму ТШ. Останній не буде істотно впливати на дію вузла, якщо опір резистора  $R_2$  вибрано відповідно до умов (3.5.1).

Іноді для формування коротких імпульсів резистори в розглянутому вузлі не застосовують, а конденсатор заряджається і розряджається безпосередньо вихідним струмом попереднього логічного елемента. Цей струм на початку процесу буде максимально можливим, що, звичайно, не сприяє надійності експлуатації мікросхеми, але є допустимим за невеликих тривалостей  $t_{\text{імп}}$  (до сотні наносекунд). Тоді тривалість імпульсу орієнтовно можна оцінити, вважаючи струм заряду постійним на рівні паспортних даних мікросхеми  $I_{\text{вих max}}$ , тобто

$$u_c(t_{\text{імп}}) = t_{\text{імп}} I_{\text{вих max}} / C = U_{\text{пв}}, \text{ звідки } t_{\text{імп}} = C U_{\text{пв}} / I_{\text{вих max}}.$$

**Формувач імпульсу з диференціальним колом.** Цей формувач складається з  $CR$ -кола та тригера Шмітта чи навіть довільного логічного елемента, який забезпечує отримання імпульсу в логічних рівнях (рис. 3.5.15).

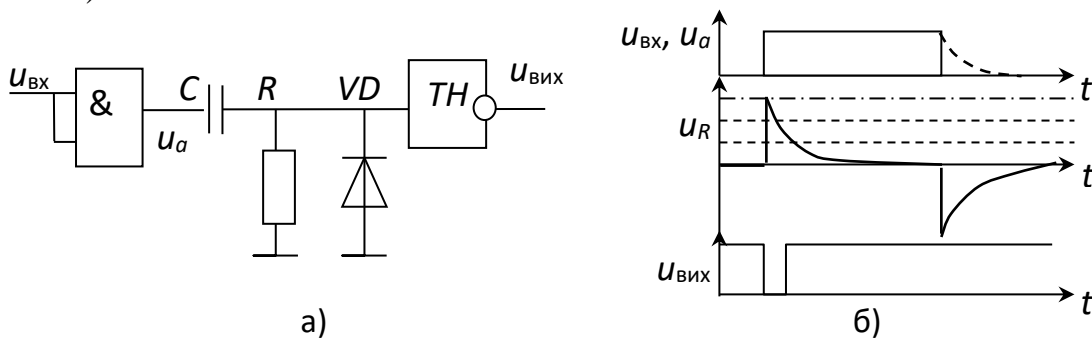


Рис. 3.5.15. Формувач із диференціальним колом (а) та порядок його дії (б)

Перший елемент вузла (тут «І») виконує роль буферного каскаду – виключає вплив кола диференціювання на джерело вхідного сигналу. У початковому стані на його виході повинен бути рівень  $U^0$ . Тоді конденсатор буде розрядженим, а напруга на резисторі  $R$  майже відсутня. Відповідно на виході тригера Шмітта буде рівень «1». Коли під дією джерела вхідного сигналу на виході першого логічного елемента з'явиться значення «1», то відповідна його напруга  $U^1$  створить струм заряду конденсатора, який, своєю чергою, напругу на резисторі  $u_r$ . Остання спадає від початкового рівня  $U^1$  до нуля за експонентою зі сталою часу  $\tau = RC$ . Коли зазначена напруга  $u_r$  більша за рівень  $U_{\text{пв}}$  тригера Шмітта (або  $U_{\text{пер}}$  звичайного інвертора), то на виході встановлюється «0». А коли напруга  $u_r$  спаде до нижнього порога  $U_{\text{пн}}$  (або нижче  $U_{\text{пер}}$  інвертора), на виході знову з'являється «1» – вихідний імпульс закінчується (рис. 3.5.14).

Виходячи з подібності розглянутих процесів до формувача з інтегральним колом затримки, можна стверджувати, що тривалість вихідного імпульсу оцінюється аналогічно ( $t_{\text{імп}} = 1,1 RC$  – з тригером Шмітта або  $t_{\text{імп}} = 0,7 RC$  – з логічним елементом).

Істотний *недолік* розглянутого пристрою полягає у тому, що, коли скінчиться вхідний імпульс джерела, то конденсатор, який відтепер буде зарядженим, буде розряджатися через резистор та вихідний каскад першого логічного елемента. Відповідно, на резисторі з'явиться негативна напруга, що взагалі є недопустимим для мікросхем ТТЛШ- та КМОН-технологій. Ця напруга буде гаситися на вхідному *n-p*-переході тригера Шмітта, а краще на додатковому діоді *VD*, що бажано ввімкнути паралельно резистору *R*. У цей час розрядний струм конденсатора не обмежується і перенавантажує вихідний каскад першого логічного елемента. Як наслідок виникає спотворення зрізу його сигналу. Це є загальним недоліком усіх генераторів імпульсів на логічних елементах із колом диференціювання.

### 3.5.2.2. Одновібратори

Розглянуті формувачі не можуть забезпечити задану тривалість вихідного імпульсу, якщо вхідний діє коротший термін, тобто коли його потрібно не вкорочувати, а, навпаки, подовжувати. Щоб це забезпечити, вузол генератора повинен мати таку будову, коли після запуску поява вихідного імпульсу є достатньою для дії пристрою – заміняє вхідний імпульс. Тому в такому генераторі, що називається *одновібратором*, обов'язково є коло зворотного зв'язку.

Основне призначення одновібратора – розширювати вхідні імпульси запуску, але доречно зауважити, що одночасно вони можуть їх і вкорочувати. Для цього одновібратор повинен мати вхід запуску динамічної дії (рис. 3.5.16).

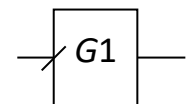


Рис. 3.5.16.  
Одновібратор

Одновібратори (ОВ) характеризуються: тривалістю вихідного імпульсу  $t_{\text{імп}}$ , мінімальною тривалістю імпульсу запуску  $t_{\text{зап min}}$  та терміном відновлення  $t_{\text{відн}}$ . В основі дії одновібратора лежить заряд або розряд конденсатора до певної напруги, тому потрібен певний час для встановлення початкового заряду, інакше тривалість вихідного імпульсу зменшиться.

**Тригерний одновібратор з інтегрувальним колом.** Типовий варіант цього вузла, що застосовується найширше, ґрунтується на використанні *D*-тригера з динамічним тактуванням. Це забезпечує незалежність тривалості вихідного імпульсу від вхідного. Автоматичне скидання тригера через певний час після встановлення його в «1» забезпечується інтегрувальним колом зворотного зв'язку (рис. 3.5.17).

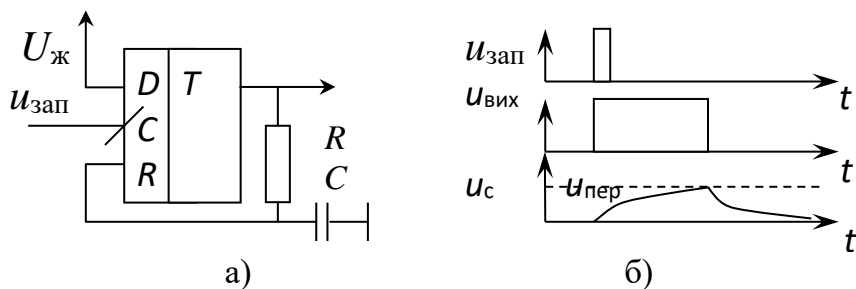


Рис. 3.5.17. Тригерний одновібратор (а) та порядок його дії (б)

У початковому стані тригер обнулено (забезпечується  $RC$ -колом скидання), тому конденсатор розряджено. На вході  $D$  повинно бути значення «1», тоді імпульс запуску встановлює тригер в «1», а напруга його прямого виходу  $u_{\text{вих}}$  починає заряджати конденсатор, створюючи напругу  $u_c(t)$  на вході тригера  $R$ . До тих пір поки ця напруга нижча від рівня перемикавання  $U_{\text{пер}}$  внутрішнього логічного елемента тригера, то вона сприймається за 0, а вище – як 1. Останнє значення є активним і скидає тригер. Тривалість вихідного імпульсу, в разі дотримання вимог (3.5.1), можна оцінити згідно з (3.5.2) як

$$T_{\text{імп}} = RC \ln [U^1 / (U^1 - U_{\text{пер}})] \approx RC \ln 2 = 0,7 RC.$$

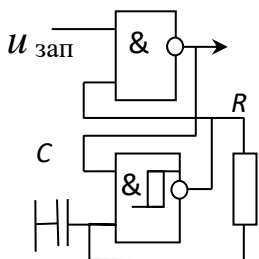


Рис. 3.5.18. Схема ОВ

Зазвичай, подібний ОВ можна побудувати також на основі асинхронного  $RS$ -тригера з пари логічних елементів (рис. 3.5.18). Однак при цьому є деякі застереження. По-перше, безпосереднє охоплення інвертуючого елемента резистивним колом переводить його в режим підсилювача, а це може позначитися на роботі ОВ. Тому доцільно або ввести до схеми додат-

ковий інвертор сигналу прямого виходу, або застосувати елемент із властивостями тригера Шмітта (рис. 3.5.18). По-друге, вузол має статичне керування, а тому за надто тривалого входного імпульсу на першому виході буде отримано лише його інверсне значення.

**Одновібратор із колом диференціювання.** Цей одновібратор є принципово відмітним від попереднього (рис. 3.5.19). Фактично він складається з уже відомого формувача імпульсу (рис. 3.5.15) та додаткового елемента «Або», що об'єднує сигнал запуску й вихідний. Саме ця обставина – наявність кола зворотного зв'язку – забезпечує утворення вихідного імпульсу не тільки під час запуску, але й далі, якщо підтримується рівень напруги на резисторі, достатній для сприйняття «1». У розглянутому випадку тригер Шмітта застосовувати не обов'язково. Тоді тривалість вихідного імпульсу оцінюється аналогічно попередньому одновібратору.

Загалом, ОВ з колом диференціювання є аналогом відповідного рішення на дискретних елементах і має вже згадані недоліки. Тому більш ефективні тригерні варіанти з колом інтегрування. Вони застосовуються в спеціалізованих інтегральних мікросхемах одновібраторів, які більш поширені серед ТТЛШ-технологій мікросхем. У них, завдяки застосуванню компараторних вузлів та



зменшенню їх вхідних струмів, вдається досягти точнішого аналізу рівня напруги в  $RC$ -колі, зменшити вплив коливань напруги живлення і, відповідно, стабілізувати тривалість вихідного імпульсу.

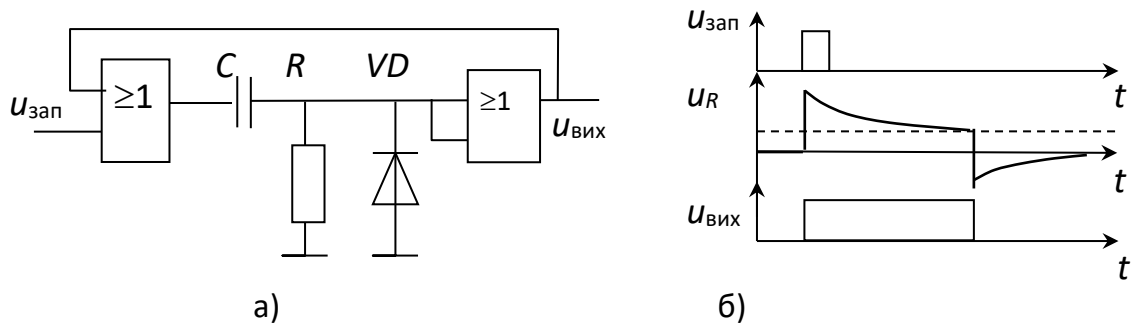


Рис. 3.5.19. Одновібратор із колом диференціювання (а) та порядок дії (б)

**Одновібратор К155(133)АГ1.** Така мікросхема містить один одновібратор тригерного типу. Він має два входи (А) для запуску імпульсом рівня  $U^0$  та один вхід (В) для запуску високим рівнем напруги, причому вона може змінюватися повільно, оскільки в цій ІМС застосовано тригер Шмітта.

Тривалість вихідного імпульсу визначається параметрами  $RC$ -кола, причому конденсатор під'єднується зовні, а резистор може бути внутрішнім (2  $k\Omega$  увімкнено між виводами, позначеними  $R$  та  $RC$ ) або зовнішнім – до 40  $k\Omega$  – від лінії живлення на лінію  $RC$  (рис. 3.5.20).

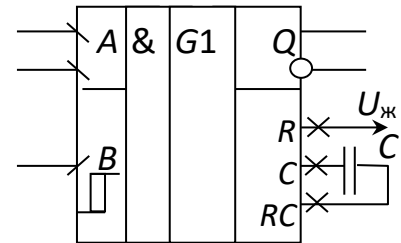


Рис. 3.5.20. Одновібратор К155АГ1

### Одновібратори ТТЛ(Ш) серій (К555, 531)

**АГ3, АГ4, АГ5 та КМОН К561АГ1** застосовуються ширше, ніж попередні. Кожна така мікросхема містить два одновібратори, тривалість вихідного імпульсу у яких визначається зовнішнім  $RC$ -колом, увімкненим згідно з рис. 3.5.21, а. Запуск забезпечується зрізом сигналу  $A$  або фронтом  $B$  за наявності дозволу – рівня  $U^1$  на вході скиду  $R$ . Можна передчасно завершити формування імпульсу або заборонити запуск, подавши активний рівень сигналу скиду. Важливо, що ці одновібратори, крім АГ4, забезпечують роботу в режимі перезапуску: якщо активний перепад сигналу запуску надійде до завершення вихідного імпульсу, то він буде продовжуватися з цього моменту протягом такої самої тривалості, як за нормального запуску. Такі варіанти запуску показано на рис. 3.5.21, б.

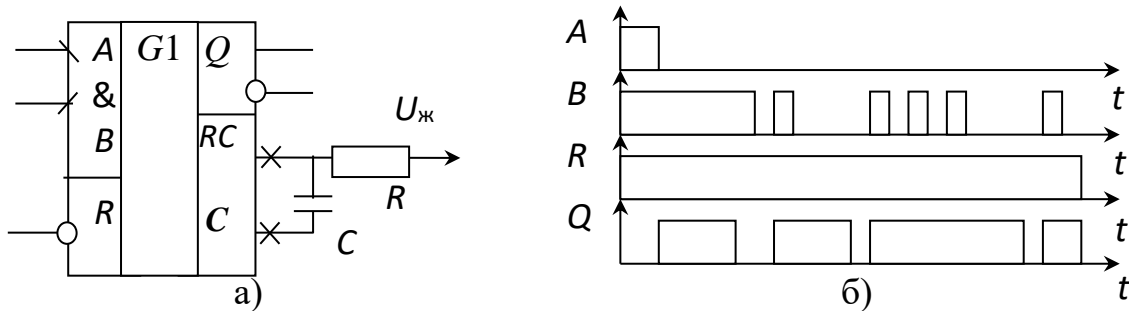


Рис. 3.5.21. Одновібратор К555АГЗ (а) та варіанти керування ним (б)

Потрібно зазначити, що в подібних мультивібраторах режим перезапуску легко відмінити. Для цього необхідно, щоб під час формування вихідного імпульсу на незадіяному вході запуску утворився пасивний рівень напруги, який забороняє дію запуску за основним входом. Це досягається шляхом з'єднання вільного входу запуску з відповідним виходом одновібратора.

Отже, для побудови одновібраторів доцільніше використовувати спеціалізовані мікросхеми, які покращують стабільність часових параметрів імпульсів та надають ширші можливості керування цифровими пристроями.

### 3.5.3. Автоколивальні генератори імпульсів

Цифрові пристрої можуть потребувати послідовності імпульсів тактування, джерелом яких є певний автоколивальний генератор. Основним параметром цього генератора є частота  $F$  або період імпульсів  $T_n$ , що складається з їх тривалості  $t_{\text{имп}}$  та паузи  $t_{\text{пз}}$ . Під дією різноманітних факторів частота імпульсів генератора відхиляється від норми на деяку величину  $\Delta F$ . Тому, вибираючи структуру генератора, слід спиратися на допустиме її відносне відхилення  $\delta_F = \Delta F/F$ . Так, за помірних вимог до стабільності частоти ( $\delta_F$  до  $10^{-2}$ ) тактові імпульси отримують за допомогою мультивібраторів, у яких часові параметри забезпечуються процесами заряджання й розряджання конденсатора. Інакше застосовують генератори, у яких стабільність часових параметрів забезпечується резонансними явищами в LC колах або у п'єзоелектричних матеріалах.

#### 3.5.3.1. Принципи побудови мультивібраторів

**Мультивібратори (МВ)** – це автоколивальні генератори імпульсів, дія яких основана на процесах накопичення заряду в конденсаторах (або магнітного поля в котушках індуктивності, але вони дорожчі). При цьому утворюються інерційні кола, яких у мультивібраторі може бути одне або два, що визначають тривалості імпульсів та пауз.

Аналіз відомих схемних рішень мультивібраторів показує, що використовуються три принципово відмітні підходи до створення їх структури.

Перший спосіб створення МВ полягає у використанні двох одновібраторів або формувачів, що з'єднуються в коло (рис. 3.5.22). При цьому зріз імпульсу одного ОВ запускає другий, а той – знову перший і т. д. Таке рішення запозичене з дискретної схемотехніки та відрізняється низькою надійністю через так званий «жорсткий режим збудження» – для початку роботи потрібен поштовх, щоб запустити один із складових одновібраторів. Іноді, щоб забезпечити надійне збудження МВ, його доповнюють вузлом аналізу стану, який і дає первинний поштовх.

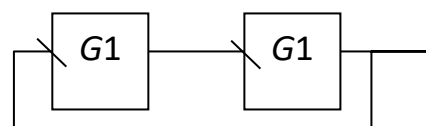


Рис. 3.5.22. Мультивібратор першого типу

Другий спосіб створення МВ полягає у використанні кількох логічних елементів, які одночасно охоплюються колами позитивного та негативного зворотного зв'язку, причому негативний зв'язку виконується резистивним колом, а позитивний – ємнісним. Завдяки ємнісному позитивному зв'язку вузол має здатність встановлюватися в тимчасово стабільні стани. Одночасно, завдяки резистивному негативному зв'язку, забезпечується зміна напруги на конденсаторі, що і приводить до зміни стану мультивібратора.

**Мультивібратор на логічних елементах** (рис. 3.5.23, а) має м'який режим збудження. Наприклад, якщо конденсатор розряджено і в точці  $a$  напруга  $u_a = U^0$ , то аналогічною вона буде і в точці  $d$ , а на виході  $u_b = U^1$ . Ця напруга через резистор  $R_1$  заряджає конденсатор. Коли напруга  $u_a$  перевищить рівень  $U_{\text{пер}}$ , то буде сприйматися як «1», через що в  $d$  з'явиться рівень  $u_d = U^1$  (рис. 3.5.23, б). Цей стрибок напруги завдяки конденсатору передається в точку  $a$ , створюючи рівень  $u_a = U_{\text{пер}} + U^1$ . Одночасно на виході діє рівень  $U^0$ . Тому в колі конденсатора струм змінює напрямок, а напруга у точці  $a$  знижується. Коли вона перейде рівень  $U_{\text{пер}}$ , то буде сприйматися як «0», що призведе до появи в точці  $d$  рівня  $U^0$ , а цей стрибок напруги негативного напрямку буде переданим у точку  $a$ , створюючи рівень  $u_a = U_{\text{пер}} - U^1 < 0$ . Одночасно в точці  $d$  встановлюється рівень  $U^1$ , і процеси повторюються.

Тривалість вихідного імпульсу можна оцінити, нехтуючи вхідним струмом логічного елемента та негативним початковим рівнем напруги  $u_a$ , як тривалість експоненціальної зміни цієї напруги від нуля до  $U_{\text{пер}}$  в напрямку  $U^1$ . Аналогічно тривалість паузи  $t_{\text{пз}}$  – від початкової, що є сумою  $U_{\text{пер}}$  та  $U^1$ , до  $U_{\text{пер}}$  в напрямку  $U^0$ :

$$t_{\text{імп}} = RC \ln [U^1 / (U^1 - U_{\text{пер}})] \approx RC \ln 2 = 0,7 RC;$$

$$t_{\text{пз}} = RC \ln [(U_{\text{пер}} + U^1) / U_{\text{пер}}] \approx RC \ln 3 = 1,1 RC.$$

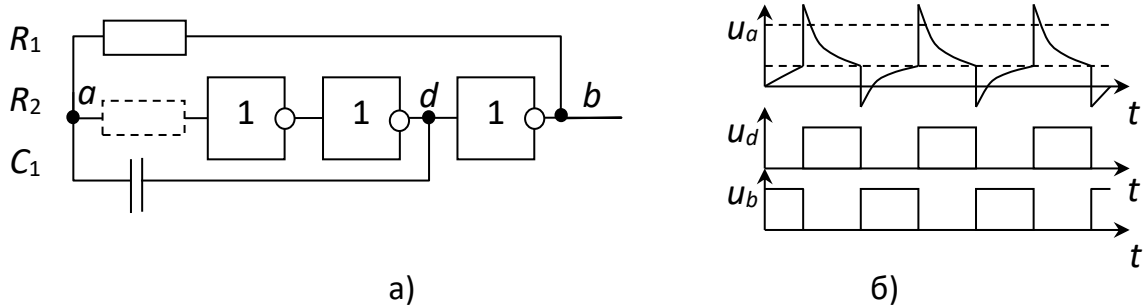


Рис. 3.5.23. Варіант МВ на логічних елементах (а) та порядок його дії (б)

Недолік розглянутого рішення полягає в тому, що напруга на вході логічного елемента виходить за межі допустимих значень (буває негативною та більшою  $U_{ж}$ ). Тому виникає значний вхідний струм і доводиться вмикати додатковий резистор ( $R_2$ ) для його обмеження.

Третій спосіб створення МВ – використання тригера Шмітта з інвертованим виходом та колом зворотного зв'язку через інтегрувальну  $RC$ -ланку (рис. 3.5.24, а). Таке рішення забезпечує поступову зміну вхідної напруги тригера Шмітта, а останній, завдяки гістерезису, змінює свій стан лише в разі досягнення нею порогових значень (рис. 3.5.24, б). Одночасно забезпечується м'який режим збудження МВ.

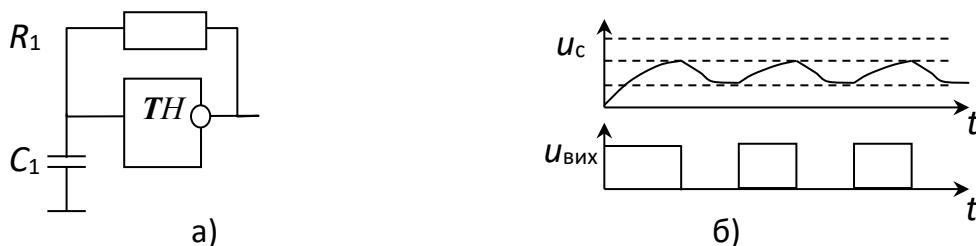


Рис. 3.5.24. Мультивібратор на тригері Шмітта (а) та порядок його дії (б)

Так, нехай конденсатор розряджено. Оскільки напруга  $u_c < U_{пн}$ , то тригер встановлюється, формуючи рівень  $U^1$ . Цією напругою відбувається заряджання конденсатора через резистор  $R$ . Як тільки напруга  $u_c$  досягне верхнього порогового рівня  $U_{пв}$ , вихід тригера переходить у стан «0». Тоді конденсатор розряджається знову через резистор  $R$ . За досягнення напругою  $u_c$  рівня  $U_{пн}$  тригер знову переходить у стан «1», і процеси повторюються.

Нехтуючи вхідним струмом тригера та спираючись на (3.5.2), можна оцінити тривалість вихідного імпульсу як тривалість зміни експоненціальної напруги  $u_c$  від  $U_{пн}$  до  $U_{пв}$  в напрямку  $U^1$ , а тривалість паузи – від  $U_{пв}$  до  $U_{пн}$  в напрямку  $U^0$ :

$$t_{\text{імп}} = RC \ln \left[ \frac{(U^1 - U_{пн})}{(U^1 - U_{пв})} \right] \approx RC \ln 2 = 0,7 RC; \quad (3.5.3)$$

$$t_{\text{пз}} = RC \ln \left( \frac{U_{пв}}{U_{пн}} \right) \approx RC \ln 2 = 0,7 RC.$$

У цілому, розглянуті варіанти мультивібраторів можуть застосовуватися лише як допоміжні генератори, оскільки їм притаманна значна залежність частоти імпульсів від живлення, навантаження й температури. Щоб компенсувати дію

цих факторів, потрібно зменшити вхідні струми кіл, що під'єднуються до конденсаторів, а також забезпечити залежність рівня спрацьовування від напруги живлення. Це досягнуто в спеціалізованих мікросхемах.

### 3.5.3.2. Інтегральні та керовані мультивібратори

**Мікросхема 1006ВИ1.** ІМС такого типу (у зарубіжжі – «таймер 555») призначена для побудови генераторів імпульсів. Її основу становить асинхронний тригер, що керується двома аналоговими компараторами (рис. 3.5.25, а). Останні, своєю чергою, утворюють входи для аналізу сигналів, а також отримують напруги порогів: нижнього  $U_{\text{пн}} = 1/3 U_{\text{ж}}$  та верхнього  $U_{\text{пв}} = 2/3 U_{\text{ж}}$ . Це забезпечує резистивний подільник, причому точка  $U_{\text{пв}}$  має вивід назовні для під'єднання блокувального конденсатора ( $C_2$  на рис. 3.5.25, б від  $10 \text{ нФ}$ ).

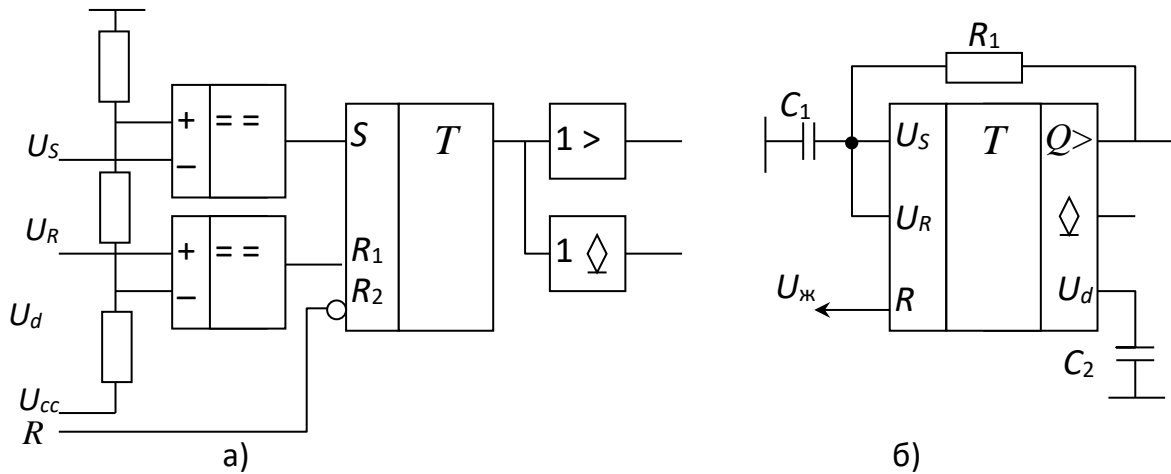


Рис. 3.5.25. Логічна структура ІМС 1006ВИ1(а) та варіант використання (б)

Згідно зі схемою тригер встановлюється, якщо на вхід  $U_S$  надійде рівень, менший від  $1/3 U_{\text{ж}}$ , а скидається, якщо на вхід  $U_R$  надійде рівень, більший від  $2/3 U_{\text{ж}}$ , або на вхід  $R$  рівень  $U^0$ . Мікросхема має два виходи: типу «відкритий колектор» і стандартний із підвищеною навантажувальною спроможністю (зазвичай до  $100 \text{ мА}$ , а деякі до  $200 \text{ мА}$ ).

Відповідно до логіки керування ІМС, об'єднання входів  $U_S$  та  $U_R$  перетворює її в тригер Шмітта із залежними від живлення порогами. Тому, в мультивібраторі (рис. 3.5.25, б) частота імпульсів майже не залежить від напруги живлення, а остання може бути в межах від  $5$  до  $15 \text{ В}$ .

Однак частіше використовується дещо складніший варіант вмикання ІМС (рис. 3.5.26, а), де коло заряджання конденсатора відокремлене від вихідного, а це виключає ще й вплив навантаження. При цьому, коли тригер перебуває в стані «1», то додатковий вихід «відкритий колектор» розімкнутий і не заважає конденсатору заряджатися від живлення через резистори  $R_1$  та  $R_2$ . Як тільки напруга на конденсаторі  $u_c$  перевищить поріг  $U_{\text{пв}}$ , тригер скидається, а додатковий вихід закорочує точку з'єднання резисторів. Тому конденсатор розряджається через резистор  $R_1$ , а в разі досягнення напругою  $u_c$  рівня  $U_{\text{пн}}$  тригер знову встановлюється, і всі процеси повторюються.

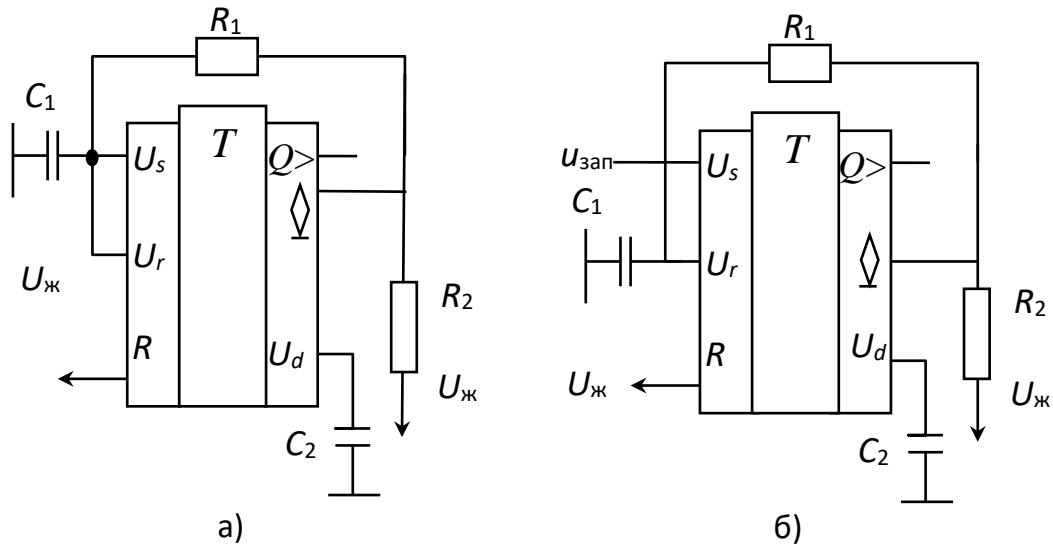


Рис. 3.5.26. Варіанти мультивібратора (а) та одновібратора (б) на КР1006ВИ1

Параметри імпульсів можна оцінити за аналогією до (3.5.3):

$$t_{\text{имп}} = 0,7 (R_1 + R_2) C_1;$$

$$t_{\text{пз}} = 0,7 R_1 C_1.$$

На розглянутій ІМС можна побудувати також одновібратор (рис. 3.5.26, б), однак із входом запуску ( $u_{\text{зап}}$ ) статичної дії.

Спочатку на вході запуску потрібен рівень напруги, більший від  $U_{\text{пн}}$  (рис. 3.5.27). Тригер буде скинуто, а тому конденсатор  $C_1$  розряджений. Запуск виконується рівнем  $u_{\text{зап}} < U_{\text{пн}}$ . При цьому тригер встановлюється, а конденсатор починає заряджатися через  $R_1$  та  $R_2$ . Коли напруга на ньому досягне  $U_{\text{пв}}$ , тригер скидається і вузол переходить у початковий стан (якщо імпульс запуску скінчився).

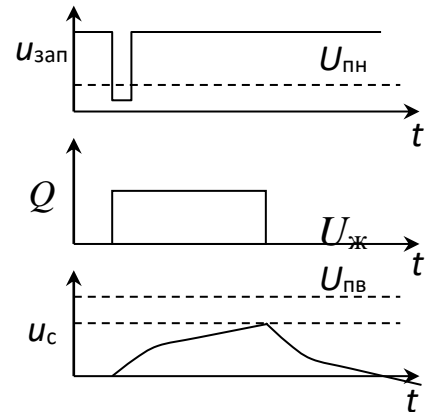


Рис. 3.5.27. Дія вузла

**Керування частотою імпульсів.** У деяких випадках частота імпульсів повинна змінюватися. Наприклад, іноді частоту імпульсів автоматично підстроюють під гармоніку вхідної імпульсної послідовності. Тому виникає потреба в генераторі імпульсів з електронним керуванням.

Як відомо, змінювати частоту імпульсів у таких генераторах можна декількома способами:

- змінювати швидкість заряджання/розряджання конденсатора;
- змінювати пороги спрацьовування вузлів аналізу напруги конденсатора  $U_{\text{пв}}$ ,  $U_{\text{пн}}$  – якщо гістерезис зменшиться (пороги наблизяться), то частота імпульсів збільшиться і навпаки.

Перший спосіб потребує впливу на струм заряду конденсатора, що досягається або зміною опору в колі (досить складно реалізувати електронним

способом), або застосуванням керованого джерела струму (стабілізатора струму). Стабілізатор струму керується напругою – перетворює напругу керування  $u_k$  у струм через конденсатор  $i_c$ , а останній визначає швидкість його заряджання/перезаряджання, а отже – частоту імпульсів. На цій основі розроблені спеціальні ІМС – перетворювачі напруга-частота для застосування у вузлах цифрового вимірювання.

Керувати частотою імпульсів шляхом зміни порогів вузла аналізу напруги простіше. У мультивібраторі на мікросхемі 1006ВИ1 для цього потрібно впливати на напругу виводу  $U_d$  (рис. 3.5.26, а). Однак подібне керування в такій схемі можливе лише в невеликих межах зміни частоти, оскільки порогові рівні пов'язані між собою. Тому розроблені спеціальні мікросхеми керованих генераторів імпульсів.

**Мікросхема 531ГГ1.** Цей компонент забезпечує широкий частотний діапазон (до 60 МГц) і містить два мультивібратори. Вони здатні генерувати імпульси із частотою  $F_T$ , яка залежить від ємності зовнішнього конденсатора  $C_T$ , а також від напруги на двох виводах керування:  $U_f$  та  $U_d$  (рис. 3.5.28). Ці напруги повинні бути в межах від 0 до  $U_{ж}$ , причому збільшення напруги  $U_f$  призводить до зростання частоти імпульсів, а напруги  $U_d$  – до розширення діапазону керування частотою. Кожен із двох

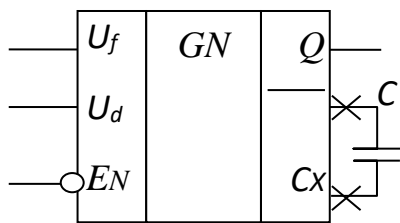


Рис. 3.5.28. Мультивібратор на 531ГГ1

мультивібраторів у мікросхемі має окремі виводи живлення, а також лінію дозволу роботи  $EN_{\#}$ .

Мультивібратор К555ГГ2 аналогічний попередньому, але має один вхід керування частотою і вужчий частотний діапазон.

Для автоматичного підстроювання частоти імпульсів під певний вхідний сигнал пристрою, крім керованого генератора, потрібні додаткові елементи – фазовий детектор і фільтр згладжування сигналу похибки, що утворюють коло фазового автоматичного підстроювання частоти (ФАПЧ). Структуру подібного пристрою показано на рис. 3.5.29. За його допомогою можна помножити частоту вхідних імпульсів  $F_{вх}$  у задану кількість разів  $K$  – отримати вихідну частоту генератора  $F_T = KF_{вх}$ .

У мультивібраторі К555ГГ2 імпульси керованого генератора певної частоти  $F_T$  діляться у  $K$  разів, після чого порівнюються із вхідними у фазовому детекторі. При цьому отримується сигнал похибки зміщення, який після згладжування у фільтрі керує мультивібратором, усуваючи розбіжності.

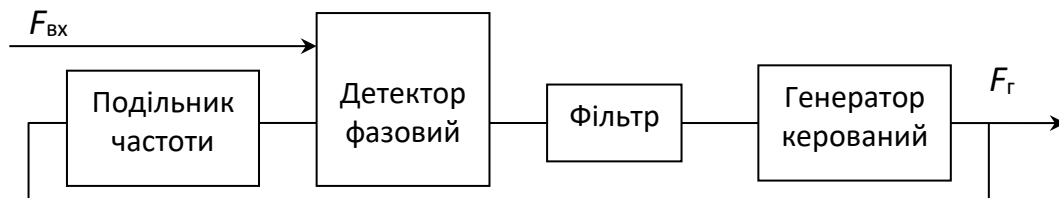


Рис. 3.5.29. Помножувач частоти на генераторі з ФАПЧ

Як фазові детектори у цифрових пристроях використовуються RS-тригери з динамічним керуванням або елементи нерівнозначності. З їх допомогою часовий зсув двох імпульсних послідовностей ( $u_{вх}$ ,  $u_{вих}$ ) впливає на щільність вихідної імпульсної послідовності  $u_{фд}$  (рис. 3.5.30), а її стала складова  $u_{пх}$  виділяється фільтром. Сигнал похибки закладено у відхиленні цієї напруги від середнього значення (для елемента нерівнозначності – у разі зсуву імпульсів на чверть періоду, а для тригера – на його половину). Якщо зміщення більше або менше, то змінюється щільність імпульсів фазового детектора і, відповідно, їх стала складова – виникає сигнал похибки. Він керує мультивібратором, змінюючи часові параметри його імпульсів до ліквідації згаданого відхилення. Саме тоді вихідні імпульси мультивібратора мають частоту, у  $K$  разів більшу від вхідних, та «прив'язані» до їх положення. Параметри фільтра впливають на смугу захоплення частоти та якість підстроювання генератора.

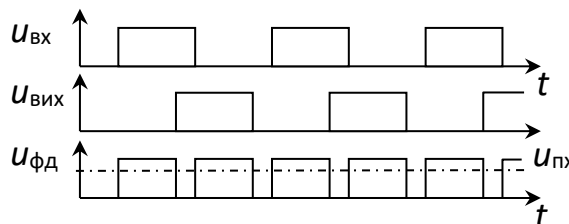


Рис. 3.5.30. Дія фазового детектора за нерівнозначністю

Існують мікросхеми керованих генераторів із вбудованими елементами кола ФАПЧ, зокрема 1561ГГ1.

### 3.5.3.3. Генератори імпульсів зі стабілізацією частоти

Навіть під час використання спеціалізованих мікросхем похибка частоти імпульсів у мультивібраторах залишається досить значною (від 1%). Тому, враховуючи високі вимоги до стабільності частоти імпульсів, у генераторах додатково застосовують резонансні системи.

Один із варіантів побудови такого генератора полягає в тому, що використовується неінвертуючий підсилювач-обмежувач, який охоплюється колом зворотного позитивного зв'язку через послідовний коливальний LC-контур (рис. 3.5.31). Дію генератора можна пояснити таким чином: при вмиканні підсилювача спочатку діє лише внутрішній шум із широким спектром. З цього шуму послідовний контур виділяє частину гармонічних складових поблизу своєї резонансної частоти, де має малий

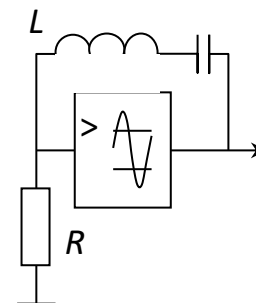


Рис. 3.5.31. Структура генератора імпульсів



опір порівняно з навантаженням  $R$ . Цей сигнал по колу зворотного зв'язку повертається на вхід підсилювача і тому коливання резонансної частоти підсилюються та переважають над іншими, а на виході амплітуда сигналу поступово збільшується аж до обмеження в імпульсі.

У цифрових пристроях як неінвертуючий підсилювач використовується пара обмежувачів на логічних елементах з інверсним виходом (рис. 3.5.32). Однак коливальний контур теж має невисоку стабільність резонансної частоти

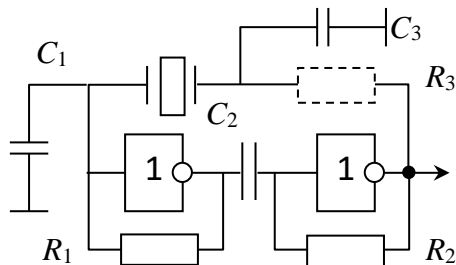


Рис. 3.5.32. Генератор з кварцовою стабілізацією

(відхилення близько  $10^{-3}$ ), а його котушка індуктивності дорога у виробництві. У кращий бік відрізняються п'єзоелектричні резонансні компоненти, зокрема керамічні та кварцові резонатори. Останні є конструкціями, що складаються з п'єзоелектричних пластинок, протилежні поверхні яких металізовані для під'єднання виводів. У колі змінного струму цей компонент виявляється як

високодобротний послідовний коливальний контур з певною резонансною частотою, що є досить стабільною ( $\delta_F$  до  $10^{-6}$ ). Але металізовані обкладки утворюють паразитну ємність, яка, своєю чергою, створює шлях для проходження високих частот сигналу. Тому в разі вмикання цього компонента в коло зворотного зв'язку підсилювача може домінувати зв'язок саме через ємність, і тоді утвориться мультівібратор із некоректною частотою імпульсів. Щоб цього уникнути, доводиться подавляти верхні частоти сигналу, який із виходу підсилювача надходить на резонатор, а також на входи підсилювача. Тому в генераторах із кварцовою стабілізацією частоти з обох боків резонатора вмикаються додаткові антипаразитні конденсатори ( $C_1$ ,  $C_3$  на рис. 3.5.32) ємністю 15...30 пФ, а з боку виходу може бути ще й додатковий резистор ( $R_3$ ), що створює інтегрувальне коло фільтра нижніх частот.

Завдяки резисторам  $R_1$ ,  $R_2$  логічні елементи переводяться в підсилювальний режим. Конденсатор  $C_2$  роздільний і дозволяє уникнути впливу постійної напруги першого каскаду на положення робочої точки другого. Іноді послідовно з резонатором вмикається додатково ще й підлагоджувальний конденсатор, змінюючи ємність якого, досягають в незначних межах зміни частоти імпульсів. Доцільно зауважити, що потужні коливання в цих схемах розвиваються при виконанні відповідних амплітудних та фазових умов. Останні в даному випадку зводяться до того, що затримка сигналу в колі повинна бути значно меншою, ніж тривалість періоду коливань.

Резонансні частоти кварцових і керамічних резонаторів знаходяться в межах від  $2^{14}$  Гц (наприклад, для електронних годинників) до 80 МГц. Відносне відхилення резонансної частоти за коливань температури кімнатного діапазону становить близько  $10^{-4}$ . З метою зменшення цього відхилення температуру резонатора стабілізують за допомогою автоматичного підігріву (частіше до  $40^\circ\text{C}$ ).

*Примітка.* Через високу добротність кварцового резонатора коливання в генераторі розвиваються порівняно тривалий час – мілісекунди.

Отже, для тактування цифрового пристрою з невисокими вимогами до стабільності частоти доцільними у використанні є мультівібратори на основі тригера Шмітта або на спеціалізованих мікросхемах, які до того ж дозволяють керувати частотою електронним способом. За підвищених вимог до стабільності частоти імпульсів тактування до складу генератора вводять керамічний або кварцовий резонатор.

**Висновки.** Цифрові пристрої використовують сигнали, які формально набувають лише двох значень та передаються істотно відмітними рівнями напруги. Це забезпечує певну завадостійкість передачі сигналу та передбачає специфічні операції його обробки, більшість яких є логічними. При цьому довільні цифрові вузли можуть будуватися з елементів невеликої кількості типів або навіть одного базового типу.

Основними технологічними рядами побудови елементів цифрових мікросхем, переважно сумісних між собою за рівнями сигнальних напруг, але відмітних за швидкістю дії та енергоспоживанням, є TTL(Ш) і КМОН. Останні є найменш енергомісткими та забезпечують широкий діапазон напруги живлення.

Цифрові мікросхеми мають вихідні каскади трьох основних типів, що різняться призначенням. У випадку послідовних з'єднань елементів у пристрої вони застосовуються із стандартним вихідним каскадом. При паралельному з'єднуванні виходів елементи повинні мати вихідні каскади з трьома станами. Основне призначення елементів із відкритим колекторним чи стоковим виходом – для вмикання нестандартного навантаження з підвищеною напругою живлення. У КМОН-технології ще можливі вихідні каскади типу двонапрямлених ключів, що єдині здатні передавати як цифрові, так і аналогові сигнали.

Вузли цифрових пристроїв можуть бути з пам'яттю щодо дії вхідних сигналів або без неї – послідовнісні та комбінаційні відповідно. Відомі методи синтезу цифрового пристрою із заданою логікою дії, що найбільш доцільні для комбінаційних вузлів. Основою послідовнісних вузлів є тригери, які поділяються за особливостями керування, причому більшість застосовують тактування дії інформаційних сигналів. Послідовнісні вузли поряд із своєю основною функцією здатні також виконувати поділ частоти імпульсів тактування з розрахунку не більше, як у два рази на один тригер.

Для побудови цифрових пристроїв передбачено типові вузли, зокрема в інтегральному виконанні: дешифратори, мультиплексори, суматори, компаратори, регістри, лічильники, а також запам'ятовувачі – постійні та оперативні. Останні також поділяються за принципом зберігання інформації та технологією.

В умовних зображеннях цифрових вузлів застосовуються відповідні стандартні позначення їх функцій, а також призначення та особливості вхідних та вихідних сигналів.

Послідовнісні вузли потребують імпульсів тактування, для утворення яких призначаються автоколивальні генератори імпульсів та перетворювачі аналогових коливань напруги в імпульси. Найпростішими є генератори, дія яких пов'язана з

процесами заряджання й розряджання конденсатора (мультивібратори), однак вони мають порівняно низьку стабільність часових параметрів. Інакше застосовуються генератори з кварцовою стабілізацією частоти імпульсів.

Головними тенденціями вдосконалення цифрових пристроїв є розширення їх функціональних можливостей та втілення в корпусі однієї мікросхеми. Це можливо, якщо функції великої інтегральної мікросхеми є програмованими. Відомі два принципово відмітних напрями досягнення такої властивості: програмування внутрішньої структури ІМС та програмування послідовності її дій. За першим напрямом створені різноманітні програмовані інтегральні схеми, основою яких є велика кількість макрокомірок у складі логічного перетворювача сигналів з елементом пам'яті, керованим виходом та колами зворотного зв'язку. При цьому зміна структури й задач забезпечується елементами комутації з репрограмованою або оперативною пам'яттю конфігурації.

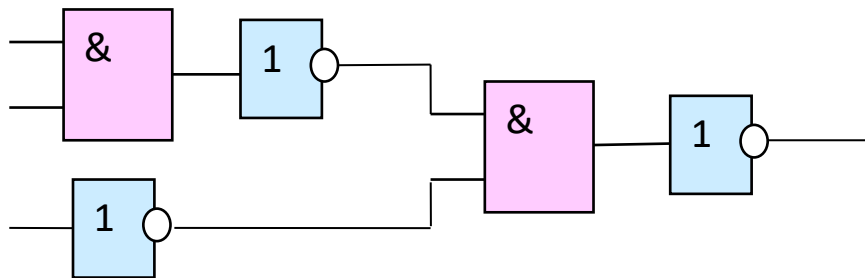
Напрямом побудови цифрових пристроїв із програмованою дією забезпечується застосуванням мікропроцесорів. У їх основі лежить використання універсальної цифрової структури, що містить: масиви комірок пам'яті, лічильник команд, пристрій керування їх виконанням, арифметично-логічний пристрій, порти взаємодії із зовнішніми об'єктами та інші додатки. Незважаючи на те, що складові модулі МПШ мають визначену логіку взаємодії, алгоритм дій пристрою в цілому виявляється залежним від закладеного списку команд – програми. Це дає широкі можливості використання мікропроцесорних пристроїв у різноманітному обладнанні для вирішення задач аналізу вхідних сигналів та керування.

### Розв'язування задач до розділу 3.

**Задача 3.1.** Є логічний вираз  $Y=X1 \cdot X2 + X3$  – реалізувати схему на елементах І та НІ.

#### Розв'язування задачі 3.1

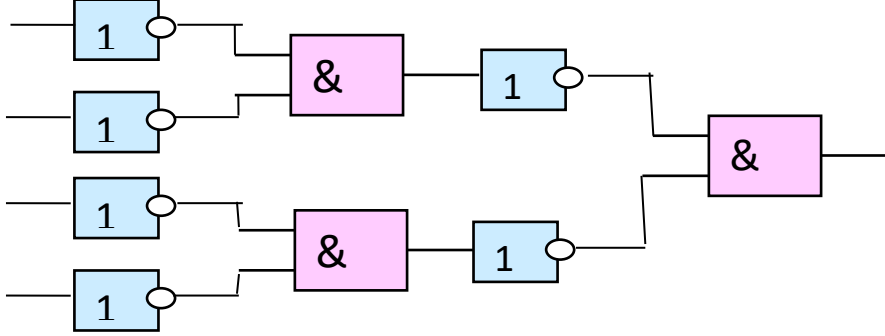
$$Y = (X1 \cdot X2) + X3 = (X1 \cdot X2) \cdot X3$$



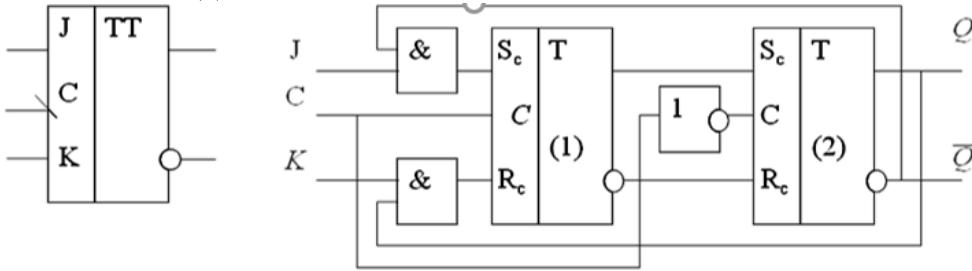
**Задача 3.2.** Є логічний вираз  $Y=(X1+X2)(X3+X4)$  – реалізувати схему на елементах І та НІ

#### Розв'язування задачі 3.2

$$Y = (X1 + X2)(X3 + X4) = (X1 \cdot X2) (X3 \cdot X4)$$



**Задача 3.3.** Пояснити принцип дії двоступеневого *JK*-тригера, при наступних початкових даних.



J	R	C	Q(n)
0	0	1	
0	1	1	
1	0	1	
1	1	1	
0	0	1/0	
0	1	1/0	
1	0	1/0	
1	1	1/0	
0	0	0/1	
0	1	0/1	
1	0	0/1	
1	1	0/1	

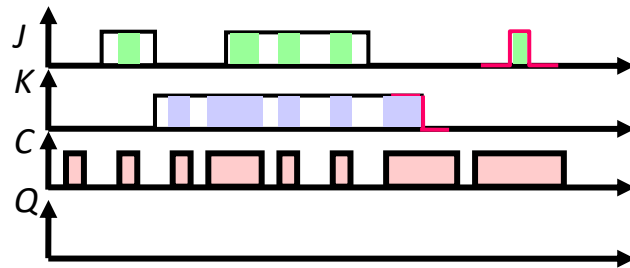
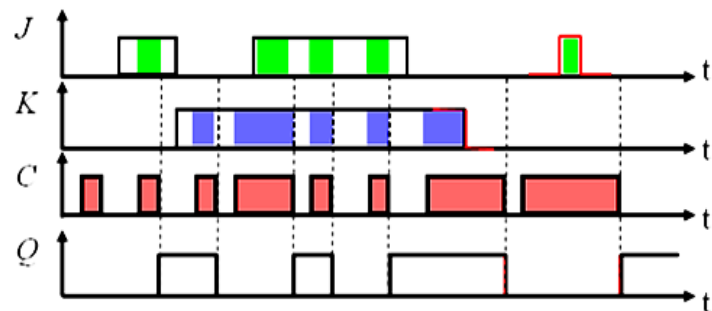


Рисунок 3.3

### Розв'язування задачі 3.3

J	K	C	Q(m)
0	0	1/0	Q
0	1	1/0	0
1	0	1/0	1
1	1	1/0	Q̄



**Задача 3.4.** Пояснити принцип дії одноступеневого *D*-тригера з динамічним тактуванням, при наступних початкових даних.

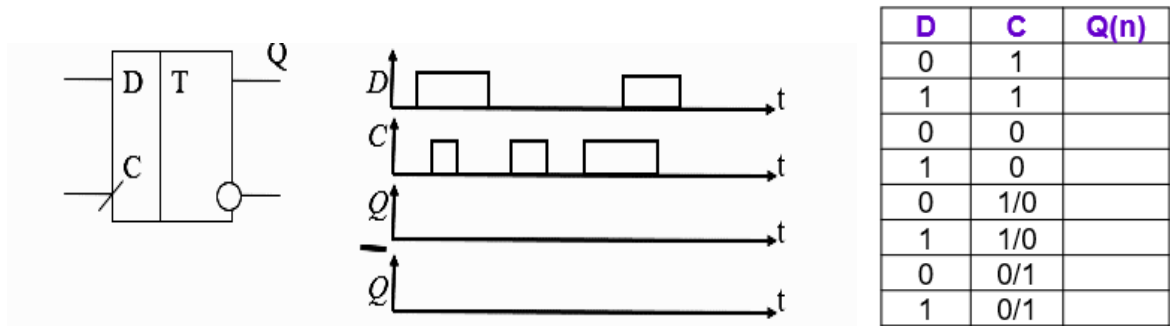
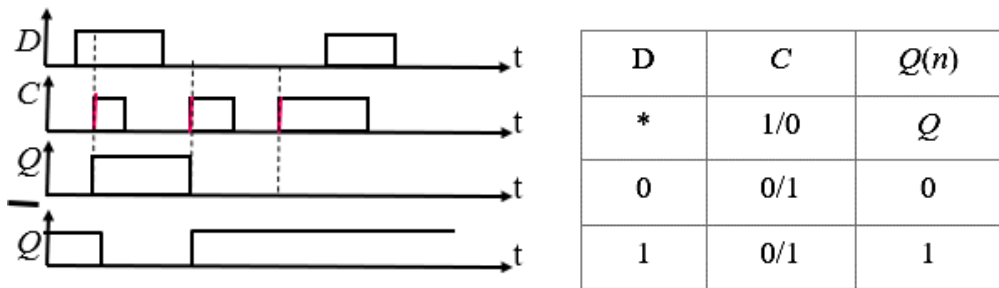
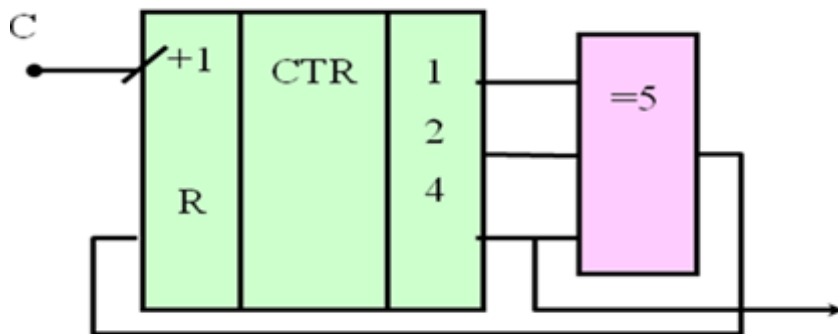


Рисунок 3.4

**Розв'язування задачі 3.4**



**Задача 3.5.** Синтезувати вузол скиду (лічильник з виключенням старших розрядів) для  $K_d=5$ .

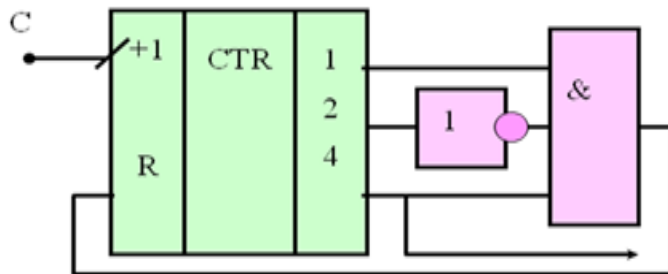


**R=?**

**Розв'язування задачі 3.5**

Синтез вузла скиду для  $K_d=5$

$$R = Q_4 \cdot \bar{Q}_2 \cdot Q_1$$



n	Q4	Q2	Q1	R
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
6	0	0	1	0
7	0	1	0	0
8	0	1	1	0
9	1	0	0	0
10	1	0	1	1
11	0	0	1	0

### Контрольні питання та завдання

1. Який варіант перетворення напруги від мережі живлення 50 Гц в імпульси доцільніший, якщо вона має ще й значну заводську складову?

2. Складіть схему одновібратора з диференціювальним CR-колом на елементах «І-Не» та побудуйте очікувані діаграми сигналів. Використовуючи довідник мікросхем, побудуйте електричну схему такого пристрою.

3. Складіть схему одновібратора з диференціювальним CR-колом на елементах «АБО-Не» та побудуйте очікувані діаграми сигналів.

4. Запропонуйте спосіб усунення режиму перезапуску в одновібраторі на ІМС 555АГЗ.

5. Запропонуйте схему автоколивального генератора імпульсів з високою стабільністю частоти. Використовуючи довідник мікросхем, побудуйте електричну схему такого пристрою.

6. Визначте нове значення частоти імпульсів мультівібратора на ІМС 1006ВІ1, якщо напруга виводу  $U_d$  зовнішнім колом зменшена на 10% від номінальної, за якої частота становила 2 кГц.

## СПИСОК ЛІТЕРАТУРИ

1. В. В. Омельчук, І. К. Гладич. Електроніка та мікросхемотехніка : навч. посіб. – Житомир : ЖВІРЕ, 2004. – 356 с.
2. Цифрові пристрої : підручник / О. О. Панчук, М. Г. Хливнюк та ін.; за заг. ред. Ю. Г. Даника. – Житомир : ЖВІ, 2014. – 460 с.
3. Огороднійчук М. Д. Електронні підсилювачі : навч. посіб. – К. : ІСДО, 1995. – 248 с.
4. Колонтаєвський Ю. П., Сосков А. Г. Промислова електроніка та мікросхемотехніка : теорія і практикум : навч. посіб. / за ред. А. Г. Соскова. – 2-е вид. – К. : Каравела, 2004. – 432 с.
5. Схемотехніка електронних систем. У 3 кн. Кн. 2. Цифрова схемотехніка : підручник / В. І. Бойко, А. М. Гуржій, В. Я. Жуйкова та ін. – 2-ге вид., допов. і перероб. – К. : Вища шк., 2004. – 423 с.
6. Лавриненко В. Ю. Справочник по полупроводниковым приборам. – 10-е изд., перераб. и доп. – К.: Техника, 1984. – 424 с.
7. Омельчук В. В. Аналогові електронні пристрої : конспект лекцій. – Житомир : ВФРЕ при ЖІТІ, 1996. – 232 с.
8. Радіоматеріали, радіокомпоненти та мікроелектроніка. Дискретні напівпровідникові та електровакуумні радіокомпоненти : конспект лекцій / підг. О. О. Панчук. – Житомир : ЖВІРЕ, 1998. – 185 с.
9. Радіотехніка : Енциклопедичний навчальний довідник : навч. посібник / за ред. Ю. Л. Мазора, Є. А. Мачульського, В. І. Правди. – К.: Вища шк., 1999. – 838 с.
10. Цифровые и импульсные устройства. Ч. I. Элементы цифровых устройств : конспект лекций / подг. А. А. Панчук. – Житомир : ЖВУРЭ ПВО, 1992. – 108 с.

## ПРЕДМЕТНИЙ ПОКАЖЧИК

### *A*

Автомат

- Міллі, 504
- Мура, 504
- цифровий, 502
- Алгебра логіки, 448
- Анод, 79

### *B*

- База, 123
- Біт, 433, 548
- Буфер FIFO, 549

### *B*

- Варикап, 83, 117
- Варистор, 70
- Вираз логічний, 439
- Вихід мікросхеми
  - «відкритий колектор», 472, 481
  - «двонаправлений ключ», 481
  - стандартний, 468
- Відбивач струму, 295
- Вузол
  - комбінаційний, 434
  - послідовнісний, 435
  - функціональний, 433
  - цифровий, 453

### *G*

- генератор імпульсів, 568
  - автоколивальний, 584
  - кварцований, 592
  - керований, 587
  - М-послідовності, 533
  - мультівібратор, 584
  - одновібратор, 581
- Глибина логічна, 455

### *D*

- Датчик Холла, 73
  - Демультіплексор, 493
- Детектор, 421
  - амплітудний, 423

- піковий, 423
- середньовипрямленого значення, 421
- фазовий, 425
- частотний, 426

дешифратор, 488

Диз'юнкція, 440

Диністор, 178

Діаграма Вейча–Карно, 457

Діелектрик, 30

Діод

- високочастотний, 115
- з бар'єром Шоттки, 83, 120
- імпульсний, 113
- напівпровідниковий, 78
- регулюючий, 121
- тунельний, 83, 118
- фотодіод, 83, 199

Дросель, 51

### *E*

Електрорадіокомпонент, 15

Елемент,

- пірса, 441
- Шеффера, 442
- логічний, 440

Емітер, 124

### *З*

завадостійкість, 462

закон

- асоціативний, 448
- двоїстості, 450
- де Моргана, 451
- дистрибутивний, 450
- доповнювання, 450
- нульової множини, 449
- одиничної множини, 449
- повторення, 449
- поглинання, 450
- подвійного інвертування, 450
- склеювання, 450

запам'ятовувач, 548



- буферний, 549
- динамічний, 555
- енергонезалежний, 557
- масковий, 550
- оперативний, 552
- постійний, 549
- прогамований, 550
- репрогамований, 551
- статичний, 553

Зв'язок зворотний, 231

Зона об'ємного заряду, 76

**I**

Інверсія, 441

індикатор, 210

- напівпровідниковий, 210
- рідинно-кристалічний, 213
- цифровий, 437

Інтегратор, 393

**K**

карти вейча–карно, 457

Катод, 79

Керування

- динамічне, 505
- статичне, 505

Ключ транзисторний, 148

код

- Грея, 438
- двійковий, 435
- двійково-десятковий, 437
- Джонсона, 438

коефіцієнт

- підсилення, 224
- поділу, 542
- розгалуження, 463

Колектор, 124

комбінаційні вузли, 487

компаратор

- аналоговий, 570
- з керованим гістерезисом, 574
- кодів, 496

Конденсатор, 33

- великої ємності, 85

Кон'юнкція, 440

Котушка індуктивності, 45

Кут відсічки, 242

**L**

Лазер, 198

лічильник, 536

- асинхронний, 537
- двійковий, 536
- двійково-десятковий, 536
- з попереднім нарощуванням коду, 541
- синхронний, 538
- що віднімає, 537

**M**

магістраль, 500

Магніторезистор, 72

матриця імплікативна, 459

Метод Квайна і Мак-Класкі, 458

Мікросхема, 14, 460

- ЕЗЛ, 460
- І<sup>2</sup>Л, 460
- інтегральна, 338
- КМОН, 460
- ТТЛ(Ш), 460

Мінімізація, 456

мультиплексор, 491

**N**

навантаження динамічне, 302

напівпровідник, 59

**O**

обмежувач

- амплітудний, 103
- електричних сигналів, 103

операнди, 448

операції логічні базові, 439

оптоелектроніка, 193

оптрон, 206

**P**

перегони сигналів, 455

Перетворювач

- електричних сигналів, 373
- напруга-струм, 384
- нелінійний, 416
- струм-напруга, 381

Підсилення, 220, 243

Підсилювач, 220, 243  
– багатокаскадний, 332  
– вимірювальний, 374, 377  
– двотактний, 317  
– диференціальний, 283  
– електричний, 222  
– електрометричний, 374  
– електронний, 221  
– каскодний, 308  
– логарифмічний, 417  
– масштабний, 374  
– обмежувач, 569  
– операційний, 345  
– функціональний, 419  
ПЛІС, 559  
Повторювач  
– витоковий, 265  
– емітерний, 278  
подільник частоти імпульсів, 542  
Потужність вхідна, 221  
Пристрій  
– диференціювання, 401  
– електронний, 432  
– інтегрувальний, 390  
– фазозсувний, 386  
– цифровий, 431, 433  
Пробій, 32  
– електричний лавинний, 80, 96  
Провідник, 16

## **Р**

Регенерація інформації, 555  
Регістр, 524  
– зсуву, 527  
– комбінований, 529  
– пам'яті, 524  
Резистор, 19

## **С**

Світловід, 203  
Світлодіод, 84, 197  
– інжекційний, 197  
Сигнал, 220  
– аналоговий, 220  
– цифровий, 220  
– стробування, 456  
Стабілізатор постійної напруги, 86  
Стабілітрон, 83, 97

Стала Планка, 197  
Струмове дзеркало, 295  
Суматор, 498  
Схема  
– вентиляна, 85  
– випрямлення змінного струму, 87  
– двопівперіодна мостова, 93  
– електрична, 16  
– однофазна двопівперіодна, 90  
– параметричної стабілізації напруги, 99

## **Т**

таблиця логіки, 439  
Теорема Шеннона, 454  
терм, 443  
Тетрада, 437  
Технологія  
– ЕЗЛ, 483  
– І<sup>2</sup>Л, 486  
– КМОН, 476  
– ТТЛ(Ш), 467, 471  
Транзистор, 123  
– багатоемітерний, 467  
– біполярний, 123  
– МДН- або МОН-, 169  
– одноперехідний, 189  
– польовий, 123, 160  
– фототранзистор, 200  
Трансформатор, 53, 85  
Тиристор, 177  
– фототиристор, 202  
тригер, 503  
– асинхронний, 505, 507  
– синхронний, 505  
– D-типу, 504  
– JK-типу, 504  
– T-типу, 504  
– Шмітта, 572  
Триністор, 181

## **Ф**

Фіксатор рівня, 111  
Фільтр  
– верхніх частот, 409  
– другого порядку, 412  
– електричний, 409

- нижніх частот, 410
  - першого порядку, 410
  - смуговий, 411
  - цифровий, 531
- Формувач імпульсів, 577
- Функція логічна, 439
- ДДНФ, 444
  - ДКНФ, 446

## **Ч**

- Числення двійкове, 435
- Числення шістнадцаткове, 436

## **Ш**

- шар заперний, 77
- шифратор, 494



